

PATENT
8022-1066

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Youji TERAUCHI
Conf.:
Appl. No.: NEW NON-PROVISIONAL
Group:
Filed: January 29, 2004
Examiner:
Title: SEMICONDUCTOR DEVICE AND TESTING CIRCUIT
WHICH CAN CARRIES OUT A VERIFYING TEST
EFFECTIVELY FOR NON VOLATILE MEMORY
CELLS

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

January 29, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-021082	January 29, 2003

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

BC/yr

Attachment(s): 1 Certified Copy(ies)

US
941

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 月 2 9 日

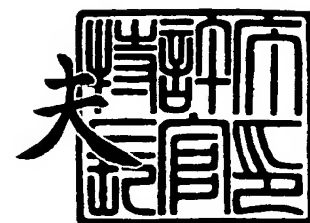
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 2 1 0 8 2
[ST. 10/C]: [J P 2 0 0 3 - 0 2 1 0 8 2]

出 願 人
Applicant(s): N E C エレクトロニクス株式会社

2 0 0 3 年 1 1 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 2 7 3 6

【書類名】 特許願
【整理番号】 74310417
【あて先】 特許庁長官殿
【国際特許分類】 G01R 31/28
G11C 29/00
G11C 16/02
H01L 27/04
H01L 21/822

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地
N E C エレクトロニクス株式会社内

【氏名】 寺内 洋二

【特許出願人】

【識別番号】 302062931
【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100109313
【弁理士】
【氏名又は名称】 机 昌彦
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268
【弁理士】
【氏名又は名称】 河合 信明
【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 テスト回路及び半導体装置

【特許請求の範囲】

【請求項 1】 n ビット (n は正の整数) の第 1 信号, n ビットの参照信号及び所定の出力制御信号が入力されて、前記第 1 信号と前記参照信号とが互いに一致しているか対応するビット毎に比較され、前記出力制御信号に制御されて所定の比較結果がテスト回路出力信号として出力されるブロックテスト手段が m 個 (m は 2 以上の整数) と、

m 個の前記テスト回路出力信号が入力され、全てが一致しているときに一致を示す総合判定結果信号が出力される第 1 論理処理手段と、が含まれ、

前記ブロックテスト手段は、

前記第 1 信号と前記参照信号が入力されて、互いに一致しているかが対応するビット毎に比較され、全てが一致しているときに一致を示すブロック判定結果信号が出力されるブロック判定手段と、

前記ブロック判定結果信号と所定の基準信号が被選択信号として入力されると共に、前記出力制御信号が選択信号として入力され、前記出力制御信号に応じて前記ブロック判定結果信号又は前記基準信号がテスト回路出力信号として出力されるブロック出力選択手段と、

を備えることを特徴とするテスト回路。

【請求項 2】 前記基準信号は、前記ブロック判定結果信号が一致を示す場合と同じ信号である請求項 1 記載のテスト回路。

【請求項 3】 前記第 1 信号が、前記参照信号と比較すべき有効信号であるか比較対象とならない無効信号であるかに応じて、前記出力制御信号が、前記ブロック判定結果信号又は前記基準信号が選択される請求項 1 又は 2 に記載のテスト回路。

【請求項 4】 前記第 1 信号が有効信号であるとき前記ブロック判定結果信号が選択され、前記第 1 信号が無効信号であるとき前記基準信号が選択される請求項 3 記載のテスト回路。

【請求項 5】 前記ブロック判定手段は、入力される二つの信号が比較され

一致又は不一致を示す比較結果信号が出力される n 個の個別比較手段と、
 n 個の前記比較結果信号が入力され、全てが一致しているときに一致を示すブ
ロック判定結果信号が出力される第 2 論理処理手段と、を備える請求項 1 乃至 4 い
ずれか 1 項に記載のテスト回路。

【請求項 6】 電氣的に消去及び書き込み可能な不揮発性のメモリセルをそ
れぞれが複数個含む m 個（但し、 m は 2 以上の整数）のメモリマクロと、前記メ
モリセルの消去及び書き込み結果の確認（消去ベリファイ試験及び書き込みベリ
ファイ試験）を行うためのテスト手段と、このテスト手段によるテスト結果を外
部に出力するテスト出力端子と、を備え、
 m 個の前記メモリマクロの中の少なくとも一つのメモリマクロに含まれる前記メ
モリセルの数（以下、単にメモリサイズとする）が、他のメモリマクロのメモリ
サイズと異なるものであり、且つ前記テスト手段は m 個の前記メモリマクロを並
列に試験する機能を有することを特徴とする半導体装置。

【請求項 7】 前記テスト手段が、
各前記メモリマクロに対応させて設けられ、対応する前記メモリマクロから出力
される複数ビット幅のデータと、期待値データとが互いに一致するか否か判定し
、判定結果が第 1 判定信号として出力される m 個の比較判定手段と、
各前記比較判定手段に対応させて設けられ、対応する前記比較判定手段から出力
される前記第 1 判定信号と所定の出力制御信号が入力され、この出力制御信号に
応じて前記第 1 判定信号又は所定の基準信号のいずれかが選択されて第 2 判定信
号として出力される m 個の第 1 選択手段と、
各前記第 1 選択手段から出力される前記第 2 判定信号が入力され、各前記メモリ
マクロから出力されるデータと前記期待値データとが互いに一致するか否か判定
し、判定結果が総合判定結果信号として出力される総合判定手段と、
を備え、
前記総合判定結果信号が前記テスト出力端子から出力される構成を有する請求項
6 記載の半導体装置。

【請求項 8】 前記出力制御信号は、前記メモリマクロに入力されるアドレ
ス信号と当該メモリマクロのメモリサイズに応じて設定される請求項 7 記載の半

導体装置。

【請求項 9】 前記出力制御信号は、前記メモリマクロに入力されるアドレス信号に対応する前記メモリセルが当該メモリマクロの中に存在するときのみ前記第 1 判定信号を選択する請求項 7 又は 8 に記載の半導体装置。

【請求項 10】 前記期待値データは、消去ベリファイ試験、及び書き込みベリファイ試験にそれぞれ対応したパターンデータを含む請求項 7 乃至 9 いずれか 1 項に記載の半導体装置。

【請求項 11】 期待値入力端子を更に備え、前記期待値データがこの期待値入力端子から入力される請求項 7 乃至 10 いずれか 1 項に記載の半導体装置。

【請求項 12】 前記期待値データが予め記憶保持され、ベリファイ試験の実行時に前記期待値データが各前記比較判定手段に対して出力される記憶部を更に備えた請求項 7 乃至 10 いずれか 1 項に記載の半導体装置。

【請求項 13】 実行されるベリファイ試験の種別に対応した前記期待値データを前記記憶部から選択する第 2 選択手段を更に備え、この第 2 選択手段から各前記比較判定手段に対して出力される請求項 12 に記載の半導体装置。

【請求項 14】 前記第 1 判定信号は、パス又はフェイルを示す 1 ビット信号である請求項 7 乃至 13 いずれか 1 項に記載の半導体装置。

【請求項 15】 前記比較判定手段が、前記メモリマクロから出力される複数ビット幅の読み出しデータを、ビット毎に、前記期待値データの対応するビットと一致するか比較する複数の一致判定回路と、
前記複数の一致判定回路の出力を入力し、前記複数の一致判定回路の出力が全て一致を示している場合に一致の判定結果を、前記複数の一致判定回路の出力の中に一つでも不一致である場合には不一致の判定結果を、前記第 1 判定信号として出力する論理回路と、

を備えた請求項 7 乃至 14 いずれか 1 項に記載の半導体装置。

【請求項 16】 前記基準信号は、一致の判定結果に対応する信号である請求項 7 乃至 15 いずれか 1 項に記載の半導体装置。

【請求項 17】 消去ベリファイ試験又は書き込みベリファイ試験のときに、複数の各前記メモリマクロに対して読み出しアドレスが共通に供給される請求

項 6 乃至 16 いずれか 1 項に記載の半導体装置。

【請求項 18】 CPU と、

テスト用アドレス入力端子と、

前記 CPU から出力される CPU アドレス信号と前記テスト用アドレス入力端子から入力されるテスト用アドレス信号とを入力し、テスト時にアクティブになるテストモード信号を選択信号として、通常動作時には前記 CPU アドレス信号を選択し、テスト時には前記テスト用アドレス信号を選択して第 1 アドレス信号として出力する第 3 選択手段と、

前記第 1 アドレス信号と前記テストモード信号を入力し、前記メモリマクロに対する第 2 アドレス信号及び必要に応じて m 個の前記メモリマクロの中のいずれが実際のアクセス対象であるかを指定する複数の第 1 イネーブル信号を出力するデコード手段と、

複数の前記メモリマクロのうち、通常動作時には、前記 CPU でアクセスされたメモリマクロの出力データを選択して前記 CPU に供給する第 4 選択手段と、
を更に備えた請求項 6 乃至 17 のいずれか 1 項に記載の半導体装置。

【請求項 19】 前記 CPU から出力されるデータ信号と、テスト用のデータ入力端子から入力されるデータ信号とを入力し、前記テストモード信号を選択信号として、通常動作時には、前記 CPU から出力されるデータ信号を選択し、テスト時には、前記データ入力端子から入力されるデータ信号を出力する第 5 選択手段を備えたことを特徴とする請求項 18 記載の半導体装置。

【請求項 20】 第 1 のメモリサイズを有する第 1 のメモリマクロと、
前記第 1 のメモリサイズよりも大きい第 2 のメモリサイズを有する第 2 のメモリマクロと、
前記第 1 のメモリマクロから読み出されたテストデータと期待値とを比較し、第 1 の一致信号または第 1 の不一致信号を出力する第 1 の比較回路と、
前記第 2 のメモリマクロから読み出されたテストデータと前記期待値とを比較し、第 2 の一致信号または第 2 の不一致信号を出力する第 2 の比較回路と、
前記第 1 の比較回路及び前記第 2 の比較回路から前記第 1 及び第 2 の一致信号を受け取ったとき、第 3 の一致信号を出力するゲート回路と、

前記第 1 及び第 2 の比較回路に共通に前記期待値を供給すると共に、前記第 1 のメモリマクロのテストが終了した後、前記第 1 の比較回路から前記第 1 の一致信号を出力させる制御回路とを備えることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の不揮発性メモリマクロを備えた半導体装置（以下、LSI とする）に関し、特に、メモリマクロを構成する電氣的に消去及び書き込み可能な不揮発性メモリセルの消去及び書き込み結果の確認（以下、「ベリファイ試験」ともいう）を効率的に行うテスト手段を備えた LSI に関する。

【0002】

【従来技術】

先ず、電氣的に消去及び書き込み可能な不揮発性の半導体記憶装置（Electrically Erasable and Programmable Read Only Memory ; EEPROM）のメモリセルの概略について以下に説明する。よく知られているように、不揮発性メモリセルは、半導体基板上に、ゲート絶縁膜、浮遊（フローティング）ゲート、制御（コントロール）ゲート電極を備えており、浮遊ゲートに負電荷が蓄積されていない状態で制御ゲート電極に正電圧が印加されると、メモリセルトランジスタがオン状態となり、一方、浮遊ゲートに電子が注入されて負電荷が蓄積されている場合に、制御ゲート電極に正電圧が印加されても、浮遊ゲートに蓄積されている負電荷により、ソース・ドレイン間には、直ちにチャネルは誘起されず、このためメモリセルは直ちにオン状態とはならず、制御ゲート電極に印加する電圧を更に上げ、閾値電圧よりも高くすることで、メモリセルがオン状態となる。

【0003】

図 9 は、一括消去型の EEPROM（「フラッシュメモリ」ともいう）の構成の典型例を模式的に示す図である。図 9 を参照すると、浮遊ゲートを備えたメモリセル MC がマトリクス状に配列されて、複数個のメモリセル MC からなるメモリセル・アレイが構成されている。このメモリセル・アレイにおいて、同一行のメモリセルの制御ゲートを共通に接続して複数のワード線 508 が形成され、同一列

のメモリセルのドレインを共通に接続して複数のビット線 509 が形成され、メモリセルのソースを共通に接続して複数のソース線（「共通ソース線」ともいう）510 が形成されている。尚、メモリセルアレイを複数のセクタに分割して構成し、同一セクタ内の複数のメモリセルのソースを共通ソース線に接続する構成とし、セクタ単位に一括消去する構成も多用されている。

【0004】

ワード線 508 は X デコーダ 511 に接続されており、ビット線 509 は Y デコーダ 512 に接続されている。

【0005】

各メモリセルのソースが接続される複数のソース線 510 は共通に接続されて切り換え回路 513 に接続され、この切り換え回路 513 によりメモリセルの読み出し、書き込み時には接地電位に、又メモリセルの消去時には消去電圧発生回路 514 にそれぞれ切り換えて接続される。

【0006】

又、メモリセルの読み出し制御を行うための読み出し制御回路 515 と、メモリセルの書き込み制御を行うための書き込み制御回路 516 とを備えており、読み出し制御回路 515、書き込み制御回路 516、及び消去制御回路 517 の各制御出力信号は、X デコーダ 511 及び Y デコーダ 512 にそれぞれ供給されている。

【0007】

図 10 (a)、図 10 (b) は、フラッシュメモリの書き込みベリファイ、及び消去ベリファイの手順の一例を示す流れ図である。図 9 及び図 10 を参照して、従来のフラッシュメモリの動作について説明する。

【0008】

メモリセルに対するデータの書き込み時には、共通ソース線 510 は切り換え回路 513 を介して接地電位に接続され、メモリセルのソース電位が接地電位とされ、書き込み制御回路 516 を作動させて Y デコーダ 512 で選択されたビット線を高電圧として、該ビット線に接続するメモリセルのドレインに高電圧を印加し、又 X デコーダ 511 で選択されたワード線を高電位としてメモリセルの制

御ゲートを高電圧（例えば 12 V）とし、選択されたメモリセルにおいて、ドレイン近傍で発生したホットエレクトロンが浮遊ゲートに注入される。

【0009】

この後、図 10（a）に、その手順を示したように、書き込み状態をオフとして、書き込みベリファイ動作が行われる。即ち、デバイスの書き込みアドレスのメモリセルからデータを読み出し（ステップ S 105）、この読み出したデータが所定の書き込みデータと一致しているか確認して（ステップ S 106）、所定のデータが書き込まれていれば書き込み動作は終了し、ステップ S 106 の結果が不一致の場合には、ステップ S 101 に戻り、当該アドレスのメモリセルに対して再度書き込みを行う。

【0010】

データの読み出し時には、書き込み時と同様、共通ソース線 510 は接地電位に接続され、読み出し制御回路 515 を作動させて Y デコーダ 512、X デコーダ 511 によりビット線、ワード線をそれぞれ所定の電圧に設定し、メモリセルのゲート、ドレインに所定電圧を設定し、選択されたメモリセルを読み出す。その際、選択されたメモリセルに接続されるビット線に流れる電流の大小を、不図示のセンスアンプで検出することにより、メモリセルに記憶されたデータの“1”、“0”を判定する。（尚、以下の説明で“1”、“0”は、それぞれ論理値を示す。）

又、メモリセルのデータ消去時には、共通ソース線 510 は切り換え回路 513 を介して消去電圧発生回路 514 に接続され、消去制御回路 517 を作動させて共通ソース線 510 を高電位（例えば 12 V）に設定し、メモリセルのソースを高電位とし、全ワード線を接地電位に設定し、全ビット線を開放状態として、メモリセルのドレインをオープンとし、全メモリセル（又はセクタ単位）の一括消去を行う（ステップ S 202）。その際、メモリセルの浮遊ゲートとソース間に強電界が発生し、トンネル現象を利用して、浮遊ゲート内の電子がソース側に引き抜かれる。

【0011】

尚、フラッシュメモリでは、実際の消去動作の前に、一括消去の対象となる全

てのメモリセルの閾値をほぼ同一に揃えるために、一括消去される全ビットの書き込みが予め行われる（図10（b）のステップS201）のが一般的である。この後、メモリセルのオーバーイレーズ（過消去）が生じないように、消去時間を所定時間に細かく分割し、該所定時間単位に少しずつ消去動作及び消去動作後に全てのメモリセルの閾値をチェックする消去ベリファイが行われ、適正な閾値に到達すると、消去動作を止めるようにしている。即ち、消去状態チェックモードにおいて、デバイスからデータを読み出し（ステップS205）、データが消去されているか確認し（ステップS206）、消去されていない場合には、再び、所定時間だけ消去動作を行い（ステップS202）、一方、消去されている場合には、消去状態のチェックを行ったアドレスが最終番地であるか否かチェックし、最終番地でない場合次のアドレスに進んで（ステップS208）、当該アドレスのメモリセルの消去状態のチェックを行い、一方、最終番地である場合には、消去処理が完了する。

【0012】

消去時間が或る値以上になると、初期状態では例えば閾値電圧5V程度に書き込まれていたメモリセルの閾値電圧が負の値となり、このメモリセルは、そのゲート電位が接地電位である場合でもオンするデプレッション状態となり、オーバーイレーズ（過剰消去）が生じると、正しいデータが読み出せなくなる。例えば図9に示すメモリセル・アレイにおいて、メモリセルHが過剰消去された状態で、例えばメモリセルJにデータを書き込み、更にこのデータを読み出す場合、選択されたメモリセルJではドレイン・ソース間に電流は流れないが、非選択のメモリセルHでドレイン・ソース間に電流が流れ、このためビット線B1に電流が流れ、センスアンプでは、オフ・ビットであるメモリセルJをオン・ビットとして検出してしまうことになる。従って、かかる過剰消去の発生を回避するために、上記したように所定時間単位での一括消去、及びこれに続くアドレス毎の消去ベリファイを繰り返す手順が行われており、消去ベリファイは、読み出し動作及び書き込みベリファイと比べて、遙かに長い時間を要している。

【0013】

即ち、従来のフラッシュメモリにおいては、読み出し動作、ベリファイを含む

書き込み動作、ベリファイを含む消去動作の順に、動作時間が長くなり、例えば読み出し動作には100 ns（ナノ秒）のオーダの時間、ベリファイを含む書き込み動作には数十 μ s（マイクロ秒）のオーダの時間、ベリファイを含む消去動作には数百ms（ミリ秒）のオーダの時間をそれぞれ要しており、このため、メモリ容量の増大とともに、ベリファイ動作を伴うテスト時間は、長大化している。

【0014】

そして、フラッシュメモリ等の不揮発性メモリとCPU（central processing unit）を同一基板上に備えたマイクロプロセッサ等のLSIにおいては、必要とされるメモリ容量の増大、及びユーザ側での各種応用形態に対応するため、不揮発性メモリが複数のメモリブロック（メモリマクロ）に分割された形態でユーザに提供されている。マイクロコンピュータに内蔵される不揮発性メモリには、通常、CPUで実行されるプログラム及びデータ等が格納され、製造側では、例えば、8ビット×128K（＝1メガビット）のメモリブロックを予め4個用意しておき（最大4Mビット）、ユーザ側のアプリケーションに応じて、使用するメモリブロックのコンフィギュレーションを可変可能とした構成が用いられている。これは、メモリ容量の増大とともに、一つのメモリセルアレイにて、必要とされる大容量のメモリを構成した場合、例えば一つのビット線にドレインが接続されるセルトランジスタの個数の増大に伴い、負荷も増大し、更に配線抵抗、配線容量の増大に伴い、ビット線の一側の端部から他側端部に位置するセルトランジスタに対して均一に信号伝送することが困難となるためである。即ち、複数のメモリブロックに予め分割しておき、必要な容量に対応したメモリブロックを用いることで、高速アクセスを実現しながら、メモリ容量を確保している。

【0015】

ところで、不揮発性のメモリブロックを複数備えたLSIにおいて、各メモリブロックの出力データをそのままテスト用の端子から並列に外部に出力する構成とした場合、メモリブロックの数に比例して、LSIに設けるテスト専用の出力端子数が増大することになり、非効率且つ不経済である。特に、不揮発性のメモリブロックが4ビット、8ビット等の多ビット構成の場合、テスト専用の出力端

子数が増大し、各メモリブロックの出力データをそのままテスト用の端子から並列に外部に出力する構成は、端子数の制約、コストの点から実際には用いられない。

【0016】

従来、上記のような多ビット構成の不揮発性メモリブロックを複数備えたLSIにおいては、例えば図11に示すような構成が用いられていた。

【0017】

図11は、フラッシュ型のEEPROMの複数のメモリブロックを同一基板上に備えた従来のマイクロプロセッサの構成の一例を示す図である。図11を参照すると、このマイクロプロセッサ200において、メモリブロック601_1～601_3は、同一ビット幅（nビット幅）（但し、nは2以上の整数）の多ビット構成のフラッシュメモリよりなり、メモリブロック601_1～601_3からの出力データを転送するデータバス603_1～603_3を入力とするセクタ604を備え、データ出力端子605には、セクタ604で選択されたメモリブロックの出力データ（nビット）が出力される。

【0018】

書き込みベリファイ又は消去ベリファイ試験を実行する際に、不図示の自動テスト装置から供給されるアドレス信号がアドレスバス602からメモリブロック601_1～601_3に対して読み出しアドレスとして供給され、データ出力端子605には、セクタ604で選択されたメモリブロックの出力データが出力され、出力データが不図示の自動テスト装置のピンエレクトロニクスカードのコンパレータに供給される。セクタ604の選択を制御する選択信号は、不図示の自動テスト装置から供給される。一方、通常動作時には、不図示のCPUからの読み出しアドレスによりメモリブロック601_1～601_3から読み出されたデータはCPUに読み出しデータとして供給される。データ出力端子605はテスト専用外部端子とされており、このデータ出力端子605はメモリブロックの出力データのビット幅分用意される。

【0019】

しかし、このLSIのように、複数の不揮発性メモリブロックからの出力デー

タをセクタで選択して出力端子から出力することで、テスト専用外部端子の端子数を制限するようにした構成は、結果的に、不揮発性メモリブロックを含むLSIの試験時間を著しく増大させる、という問題点を有してしている。

【0020】

因みに、フラッシュメモリのテストで通常行われているテストシーケンスの一例についてみると、例えば図12に示すように、先ずテスト1で消去と消去ベリファイが行われる（ステップS301，S302）。その際、消去ベリファイが不可（フェイル）の場合、前述したように、再び、消去が行われる。

【0021】

消去ベリファイがパスすると、テスト2でチェッカーパターンの書き込みと書き込みベリファイが行われる（ステップS303，S304）。

【0022】

書き込みベリファイがパスすると、次のテスト3で消去と消去ベリファイが行われる（ステップS305，S306）。

【0023】

続いて、テスト4でチェッカーパターンパターンの書き込みと書き込みベリファイが行われ（ステップS307，S308）、書き込みベリファイがパスすると、再びテスト5で消去と消去ベリファイが行われる（ステップS309，S310）。

【0024】

続いて、テスト6で全“0”データ書き込み（All “0” WRITE）と書き込みベリファイが行われる（ステップS311，S312）。

【0025】

続いて、テスト7でバーンイン（ウェハベーク）を行った後、再び書き込みベリファイが行われ（ステップS313，S314）、再びテスト8で消去と消去ベリファイが行われる（ステップS315，S316）。

【0026】

図11に示したLSIを被試験デバイスとして、上記したテストシーケンスからなるテストを実行する場合、メモリブロック601_1～601_3のうちセレクト

タ 604 で選択された出力データがデータ出力端子 605 から出力される構成とされているため、メモリブロック 601_1~601_3の間で並列にベリファイ動作を行うことはできない。即ち、端子数の制約から、セクタ 604 でメモリブロックの出力データを選択して外部端子に出力する構成とされており、ベリファイ動作に必要なデータの読み出しにあたり、複数のメモリブロックの読み出しデータを同時に外部に出力することができない。

【0027】

このため、従来の L S I のテスト工程において、ベリファイ試験を行うにあたり、セクタ 604 で、メモリブロック 601_1~601_3の出力データを、順次、切り換えて、データ出力端子 605 に出力し、自動テスト装置のコンパレータで期待値と比較してパス、フェイルを判定しており、L S I 内に内蔵されるメモリブロックのメモリ容量の増大、及び、メモリセルブロックの個数の増大に伴い、ベリファイ試験時間が増大する、ことになる。

【0028】

本発明者は、上記のような問題を解決する手段として、特許文献 1 により、複数の不揮発性メモリマクロを備えた L S I においても、テスト専用端子の数の増大を抑止しながら、ベリファイ試験等の試験時間の短縮を可能にした L S I を提案している。

【0029】

図 13 は、特許文献 1 に開示された L S I の一例の概略構成を示す図である。図 13 を参照すると、L S I 700 は、3 個の不揮発性メモリブロックであるフラッシュメモリブロック（以下、「メモリマクロ」とする）701_1~701_3 を備え、各メモリブロック 701_1~701_3 からの出力は出力データバス 703_1~703_3 にそれぞれ出力され、ベリファイ回路 705_1~705_3 に入力される。各メモリブロック 701_1~701_3 からは複数（n）ビット幅のデータが読み出しデータとして出力され、出力データバス 703_1~703_3 は n ビット幅とされている。

【0030】

ベリファイ回路 705_1~705_3 は、それぞれ、n ビット幅の出力データバ

ス703_1～703_3の各ビットデータと、期待値データ入力端子707から入力されるnビット幅の期待値データ704の各ビットデータとがそれぞれ一致するか比較判定するためのn個の排他的論理和ゲートEXOR1～EXORnと、n個の排他的論理和ゲートEXOR1～EXORnの出力の論理和をとりベリファイ結果判定信号をベリファイ結果出力端子706_1～706_3に出力する論理和ゲートORと、を備えている。LSI700においては、ベリファイ結果出力端子706_1～706_3は、メモリブロック701_1～701_3の個数分設けられており、各ベリファイ回路705_1～705_3からのベリファイ結果判定信号は、並列に、不図示の自動テスト装置に出力される。

【0031】

LSI700のテスト時、書き込みベリファイ及び消去ベリファイ試験は、3個のメモリブロック701_1～701_3で並列に行われる。即ち、3個のメモリブロック701_1～701_3に対して、不図示の自動テスト装置側から同一の読み出しアドレスが供給され、ベリファイ回路705_1～705_3の各々で、メモリブロック701_1～701_3からそれぞれ出力された読み出しデータを、不図示の自動テスト装置から期待値データ入力端子107に供給された期待値データとビット単位で比較することで、LSI700自体でベリファイを行い、期待値データと一致しないビットデータが存在する場合には、即ち、いずれか一つの排他的論理和ゲートEXORの出力信号が“1”であったとき、論理和ゲートORから出力されるベリファイ結果判定信号は“1”となる。ベリファイ結果出力端子706_1～706_3には、不図示の自動テスト装置のコンパレータが接続されており、自動テスト装置では、各ベリファイ回路705_1～705_3からのベリファイ結果判定信号が“0”のときはパス、“1”のときはフェイルと判定する。

【0032】

従って、例えば各メモリブロックが8ビットデータ出力（データバスのビット幅 $n=8$ ）であるとしたとき、ベリファイ試験の高速化を図るために、3個のメモリブロックのデータを平行に出力する回路構成とした場合、 $m \times n = 24$ 個のテスト専用の出力端子が必要とされ、更に、自動テスト装置のコンパレータ

も 2 4 個必要とされることになるが、L S I 7 0 0 によれば、テストに要する時間は変わらないが、必要とされるテスト専用の出力端子としては、メモリブロックの個数分（3）の 3 個のベリファイ結果出力端子 7 0 6 _1 ~ 7 0 6 _3 を設けるだけでよく、テスト専用の出力端子数を特段に縮減しており、自動テスト装置でベリファイ試験に必要とされるコンパレータも 3 個で済むことになる。

【 0 0 3 3 】

【特許文献 1】

特開 2 0 0 1 - 1 5 5 5 0 0 号公報

【 0 0 3 4 】

【発明が解決しようとする課題】

上記の通り、特許文献 1 の L S I では、書き込みベリファイ試験及び消去ベリファイ試験に要する時間を各メモリマクロのデータを全ビットパラレルに出力する回路構成とした場合と同等に維持しながら、各メモリマクロのベリファイ試験のためのテスト専用の出力端子の数を L S I に内蔵されるメモリマクロの数と同数まで大幅に縮減している。

【 0 0 3 5 】

しかし、近年 L S I に内蔵される不揮発性メモリマクロの数の増加や、メモリマクロの構成（一つのメモリマクロに含まれるメモリセルの数）の多様化が進んでいる。特に、メモリサイズの異なる複数のメモリマクロベリファイ試験を、テスト専用の端子の数を増加させることなく、同時並列に実施することは、これまで実現されておらず、テスト専用の端子数の増加を抑制しながら構成の多様化したメモリマクロのベリファイ試験を一層効率化することが望まれている。

【 0 0 3 6 】

従って、本発明の目的は、例えば構成の多様な複数の不揮発性のメモリマクロを内蔵した L S I で、テスト専用の端子数の増加を抑制しながら構成の多様化したメモリマクロのベリファイ試験を一層効率的に実施できるテスト回路及びこのようなテスト回路を内蔵する L S I を提供することにある。これ以外の本発明の目的、特徴、利点等は以下の説明から、当業者には直ちに明らかとされるであろう。

【0037】

【課題を解決するための手段】

そのため、本発明によるテスト回路は、
nビット（nは正の整数）の第1信号、nビットの参照信号及び所定の出力制御信号が入力されて、前記第1信号と前記参照信号とが互いに一致しているか対応するビット毎に比較され、前記出力制御信号に制御されて所定の比較結果がテスト回路出力信号として出力されるブロックテスト手段がm個（mは2以上の整数）と、
m個の前記テスト回路出力信号が入力され、全てが一致しているときに一致を示す総合判定結果信号が出力される第1論理処理手段と、が含まれ、
前記ブロックテスト手段は、
前記第1信号と前記参照信号が入力されて互いに一致しているかが対応するビット毎に比較され、全てが一致しているときに一致を示すブロック判定結果信号が出力されるブロック判定手段と、
前記ブロック判定結果信号と所定の基準信号が被選択信号として入力されると共に、前記出力制御信号が選択信号として入力され、前記出力制御信号に応じて前記ブロック判定結果信号又は前記基準信号がテスト回路出力信号として出力されるブロック出力選択手段と、
を備えることを特徴とする。

【0038】

このとき、前記基準信号は、前記ブロック判定結果信号が一致を示す場合と同じ信号とすることができる。

【0039】

又、前記第1信号が、前記参照信号と比較すべき有効信号であるか比較対象とされない無効信号であるかに応じて、前記出力制御信号が、前記ブロック判定結果信号又は前記基準信号が選択されるしてもよく、前記第1信号が有効信号であるとき前記ブロック判定結果信号が選択され、前記第1信号が無効信号であるとき前記基準信号が選択されるようにすることができる。

【0040】

又、前記ブロック判定手段は、入力される二つの信号が比較され一致又は不一致を示す比較結果信号が出力される n 個の個別比較手段と、
 n 個の前記比較結果信号が入力され、全てが一致しているときに一致を示すブロック判定結果信号が出力される第 2 論理処理手段と、を備える構成とすることができる。

【0041】

又、本発明による L S I は、電氣的に消去及び書き込み可能な不揮発性のメモリセルをそれぞれが複数個含む m 個（但し、 m は 2 以上の整数）のメモリマクロと、前記メモリセルの消去及び書き込み結果の確認（消去ベリファイ試験及び書き込みベリファイ試験）を行うためのテスト手段と、このテスト手段によるテスト結果を外部に出力するテスト出力端子と、を備え、
 m 個の前記メモリマクロの中の少なくとも一つのメモリマクロに含まれる前記メモリセルの数（以下、単にメモリサイズとする）が、他のメモリマクロのメモリサイズと異なるものであり、且つ前記テスト手段は m 個の前記メモリマクロを並列に試験する機能を有することを特徴とする。

【0042】

このとき、前記テスト手段は、
各前記メモリマクロに対応させて設けられ、対応する前記メモリマクロから出力される複数ビット幅のデータと、期待値データとが互いに一致するか否か判定し、判定結果が第 1 判定信号として出力される m 個の比較判定手段と、
各前記比較判定手段に対応させて設けられ、対応する前記比較判定手段から出力される前記第 1 判定信号と所定の出力制御信号が入力され、この出力制御信号に応じて前記第 1 判定信号又は所定の基準信号のいずれかが選択されて第 2 判定信号として出力される m 個の第 1 選択手段と、
各前記第 1 選択手段から出力される前記第 2 判定信号が入力され、各前記メモリマクロから出力されるデータと前記期待値データとが互いに一致するか否か判定し、判定結果が総合判定結果信号として出力される総合判定手段と、
を備え、
前記総合判定結果信号が前記テスト出力端子から出力される構成を有するものと

することができる。

【0043】

又、前記出力制御信号は、前記メモリマクロに入力されるアドレス信号と当該メモリマクロのメモリサイズに応じて設定されるのが好ましい。具体的には、前記出力制御信号は、前記メモリマクロに入力されるアドレス信号に対応する前記メモリセルが当該メモリマクロの中に存在するときのみ前記第1判定信号を選択するのが望ましい。

【0044】

尚、前記期待値データは、消去ベリファイ試験、及び書き込みベリファイ試験にそれぞれ対応したパターンデータを少なくとも含んでいる。又、前記期待値データは、期待値入力端子を更に設けて、この期待値入力端子から入力してもよいし、LSIに前記期待値データが予め記憶保持される記憶部を内蔵させ、ベリファイ試験の実行時に前記期待値データが各前記比較判定手段に対して出力されるようにしてもよい。

【0045】

又、LSIに記憶部を内蔵させる場合、実行されるベリファイ試験の種別に対応した前記期待値データを前記記憶部から選択する第2選択手段を更に備え、この第2選択手段から各前記比較判定手段に対して出力される構成とするのが望ましい。

【0046】

又、前記比較判定手段は、前記メモリマクロから出力される複数ビット幅の読み出しデータを、ビット毎に、前記期待値データの対応するビットと一致するか比較する複数の一致判定回路と、
前記複数の一致判定回路の出力を入力し、前記複数の一致判定回路の出力が全て一致を示している場合に一致の判定結果を、前記複数の一致判定回路の出力の中に一つでも不一致である場合には不一致の判定結果を、前記第1判定信号として出力する論理回路と、
を備えた構成とすることができる。

【0047】

このとき、前記基準信号は、一致の判定結果に対応する信号とすることができ
る。又、消去ベリファイ試験又は書き込みベリファイ試験のときに、複数の各前
記メモリマクロに対して読み出しアドレスが共通に供給されるのが望ましい。

【0048】

又、本発明の他のLSIは、CPUと、テスト用アドレス入力端子と、
前記CPUから出力されるCPUアドレス信号と前記テスト用アドレス入力端子
から入力されるテスト用アドレス信号とを入力し、テスト時にアクティブになる
テストモード信号を選択信号として、通常動作時には前記CPUアドレス信号を
選択し、テスト時には前記テスト用アドレス信号を選択して第1アドレス信号と
して出力する第3選択手段と、
前記第1アドレス信号と前記テストモード信号を入力し、前記メモリマクロに対
する第2アドレス信号及び必要に応じてm個の前記メモリマクロの中のいずれが
実際のアクセス対象であるかを指定する複数の第1イネーブル信号を出力するデ
コード手段と、
複数の前記メモリマクロのうち、通常動作時には、前記CPUでアクセスされた
メモリマクロの出力データを選択して前記CPUに供給する第4選択手段と、
を更に備えた構成としてもよい。

【0049】

このとき、前記CPUからのデータ信号と、テスト用のデータ入力端子から入
力されるデータ信号とを入力し、テスト時に活性化されるテストモード信号を選
択信号として、通常動作時には、前記CPUからのデータ信号を選択し、テスト
時には、前記データ入力端子から入力されるデータ信号を出力する第5選択手段
を備えることもできる。

【0050】

又、本発明の更に他のLSIは、
第1のメモリサイズを有する第1のメモリマクロと、
前記第1のメモリサイズよりも大きい第2のメモリサイズを有する第2のメモリ
マクロと、
テスト時に、前記第1のメモリマクロから読み出されたデータと期待値とを比較

し、比較結果が一致又は不一致に応じて、第1の一致信号または第1の不一致信号を出力する第1の比較回路と、

テスト時に、前記第2のメモリマクロから読み出されたデータと前記期待値とを比較し、比較結果が一致又は不一致に応じて、第2の一致信号または第2の不一致信号を出力する第2の比較回路と、

前記第1の比較回路及び前記第2の比較回路から前記第1及び第2の一致信号を受け取ったとき、第3の一致信号を出力するゲート回路と、

前記第1及び第2の比較回路に共通に前記期待値を供給すると共に、前記第1のメモリマクロのテストが終了した後、前記第1の比較回路から前記第1の一致信号を出力させる制御回路とを備えることを特徴とする。

【0051】

【発明の実施の形態】

次に、本発明について図面を参照して説明する。

図1は、本発明のテスト回路の一実施形態の構成を模式的に示す図で、(a)は概略ブロック図、(b)は(a)のブロックテスト手段の詳細ブロック図である。図1を参照すると、本実施形態のテスト回路300は、nビット(nは正の整数)の第1信号331、nビットの参照信号333及び所定の出力制御信号334が入力されて、第1信号331と参照信号333とが互いに一致しているか対応するビット毎に比較され、出力制御信号314に制御されて所定の比較結果がテスト回路出力信号337として出力されるブロックテスト手段301がm個(mは2以上の整数)と、

m個のテスト回路出力信号337が入力され、全てが一致しているときに一致を示す総合判定結果信号338が出力される第1論理処理手段303と、を含み、構成されている。

【0052】

又、ブロックテスト手段301は、それぞれに第1信号331と参照信号333が入力されて互いに一致しているかが対応するビット毎に比較され、全てが一致しているときに一致を示すブロック判定結果信号335が出力されるブロック判定手段310と、

ブロック判定結果信号 335 と所定の基準信号 RS が被選択信号として入力されると共に、出力制御信号 334 が選択信号として入力され、出力制御信号 334 に応じてブロック判定結果信号 335 又は基準信号 RS がテスト回路出力信号 337 として出力されるブロック出力選択手段 315 と、を備えている。

【0053】

更に、ブロック判定手段 310 は、第 1 信号 331 と参照信号 333 の互いに対応するビットの信号が入力され、当該ビットの信号が一致しているか判定する個別判定手段 311 が n 個と、 n 個の個別判定手段 311 の各出力信号を全て入力し、全てが一致しているときに一致を示すブロック判定結果信号 335 が出力される第 2 論理処理手段 313 と、を備えて構成される。

【0054】

尚、基準信号 RS は、ブロック判定結果信号 335 が一致を示す場合と同じ論理状態を示す信号に設定される。

【0055】

又、出力制御信号 334 は、第 1 信号 331 に応じて設定され、 m 種類の信号からなる。即ち、任意の出力制御信号 334_j (但し、 j は $1 \leq j \leq m$ の整数) は、ブロックテスト手段 301_j に入力される第 1 信号 331_j が有効信号であるか無効信号であるかに応じて、ブロック判定結果信号 335_j 又は基準信号 RS が選択されるように設定される。

【0056】

従って、例えば n ビット構成で、メモリサイズが異なる複数 (m 個) の不揮発性のメモリマクロのベリファイ試験を並列に行う場合、試験アドレス信号は各メモリマクロに共通に供給されるので、メモリマクロによってはアドレス信号に対応するメモリセルが実在しない場合が生じる。この場合、アドレス信号に対応するメモリセルが実在しないメモリマクロからの読み出し信号は特定できないので、このメモリマクロからの読み出し信号を参照信号と比較しても無意味であり、第 1 信号としては無効信号となる。従って、 j 番目のメモリマクロからの読み出し信号が第 1 信号 331_j として入力されるブロック判定手段 310_j を含むブロックテスト手段 301_j のブロック出力選択手段 315_j に選択信号として入

力される出力制御信号 334_jは、アドレス信号に対応するメモリセルが実在するときは第1信号 331_jが有効信号であり、アドレス信号に対応するメモリセルが実在しないときは第1信号 331_jが無効信号となるように設定されればよい。これにより、アドレス信号に対応するメモリセルが実在するときはブロック判定結果信号 335_jがテスト回路出力信号 337_jとして選択され、アドレス信号に対応するメモリセルが実在しないときは基準信号RSがテスト回路出力信号 337_jとして選択されるので、実在するメモリセルとの比較結果はそのままテスト回路出力信号 337_jとして出力されるが、アドレス信号に対応するメモリセルが実在しないときは基準信号RSを出力させて、他のメモリマクロの判定に影響を及ぼさないようにすることができ、メモリマクロのサイズ構成が多様であっても、ベリファイ試験の並列実施を可能にしている。

【0057】

尚、上記構成において第1論理処理手段 303は、論理積回路や論理和回路或いはこれらの反転回路等で構成できる。又、個別判定手段 311は排他的論理和回路やその反転回路等で構成でき、第2論理処理手段 313はn入力の論理和回路（OR）やその反転回路（NOR）等で構成でき、ブロック出力選択手段 315は論理和回路や論理積回路或いはこれらの反転回路、或いはセクタ回路等で構成できるが、実際にどのような回路構成とするかは、与えられる信号や所望の出力信号に応じて適宜選択すればよい。

【0058】

又、このテスト回路 300は、LSIに含まれる複数のメモリマクロの中の一部のメモリマクロが部分的に消去・書き込み禁止されているベリファイ対象外セクタを含むような場合にも同様に適用できる。具体的には、ベリファイ試験対象アドレスがベリファイ対象外セクタ内のメモリセルを指定するとき、このベリファイ対象外セクタが含まれるメモリマクロからの読み出し信号が入力されるブロックテスト手段に入力される出力制御信号が、当該ブロックテスト手段のテスト回路出力信号として基準信号RSを選択するように、設定されればよい。

【0059】

以下、上述したテスト回路 300の構成をベリファイ回路に適用した本発明の

L S I について説明する。

図 2 は、本発明の L S I の一実施形態の構成を模式的に示す概略ブロック図であり、図 3 はこの L S I に含まれるベリファイ回路の一例の詳細ブロック図である。尚、以下では、特に限定されないが、 $m=3$ の場合を例として説明する。図 2 を参照すると、本実施形態の L S I 100 は、3 個の電氣的に消去及び書き込み可能な不揮発性のメモリセルを含んでなる不揮発性のメモリマクロ 10_1 ~ 10_3 と、テスト手段であるテスト回路 20 を備えている。又、テスト実施時にアクティブになるテストモード信号 TMS とアドレス入力端子 55 からアドレスバス 1 を介して入力される第 1 アドレス信号を入力してデコードし、アドレスバス 3 に第 2 アドレス信号を出力すると共にテストモード信号 TMS がノンアクティブの通常動作時に各メモリマクロ 10_1 ~ 10_3 の中のいずれが実際のアクセス対象であるかを指定する第 1 イネーブル信号 CE 1 ~ CE 3 を出力するデコード手段であるデコーダ回路 31 と、テストモード信号 TMS を選択信号として入力し通常動作時には第 1 イネーブル信号 CE 1 ~ CE 3 を選択して出力し、テスト時には C E 情報入力端子 52 a, 52 b, 52 c から入力された出力制御信号であるテスト用イネーブル信号（以下、TCES とする）4_1 ~ 4_3 を選択して出力する 3 個のセクタ 41 ~ 43 を備えている。

【0060】

又、テスト回路 20 は各メモリマクロに対応する 3 個のベリファイ回路 21_1 ~ 21_3 と、各ベリファイ回路 21_1 ~ 21_3 から出力される信号を入力とする総合判定手段である 3 入力の論理積回路（以下、AND ゲートとする）24 を備え、AND ゲート 24 の出力信号がベリファイ結果判定信号としてベリファイ結果出力端子 51 から出力される。

【0061】

各メモリマクロ 10_1 ~ 10_3 からの出力は、出力データバス 5_1 ~ 5_3 にそれぞれ出力され、ベリファイ回路 21_1 ~ 21_3 に入力される。各メモリマクロ 10_1 ~ 10_3 からは n ビット幅（但し、 n は 2 以上の整数とする）のデータが読み出しデータとして出力され、出力データバス 5_1 ~ 5_3 は n ビット幅とされている。

【0062】

又、メモリマクロ10_1～10_3の試験の際に用いるnビット幅の期待値データ6は、例えば期待値データ入力端子53から各ベリファイ回路21_1～21_3に並列に入力され、TCES4_1～4_3はCE情報入力端子52a, 52b, 52cからセクタ41～43に入力される。より具体的には、例えば第1イネーブル信号CE1とTCES4_1がセクタ41に、第1イネーブル信号CE2とTCES4_2がセクタ42に、第1イネーブル信号CE3とTCES4_3がセクタ43にそれぞれ入力され、選択信号であるテストモード信号TMSがアクティブでテスト状態を指示しているとき、セクタ41～43ではTCES4_1～4_3がそれぞれ選択されて出力される。各メモリマクロ10_1～10_3に対する各種書き込みデータは、データ入力端子56から入力され、データバス2を経由して供給される。

【0063】

更に、図3を参照すると、ベリファイ回路21は、nビット幅の出力データバス5の各ビットデータと、期待値データ入力端子53から入力されたnビット幅の期待値データ6の各ビットデータとがそれぞれ一致するか比較判定し、判定結果を第1判定信号DSとして出力する比較判定手段であるブロック判定回路211と、第1判定信号DS、所定の基準信号RSを入力し、選択信号として入力されるTCES4に応じて第1判定信号DS又は基準信号RSを選択し第2判定信号8として出力する第1選択手段であるセクタ213と、を備えている。

【0064】

又、ブロック判定回路211は、n個の一致判定回路である排他的論理和ゲートEXOR_1～EXOR_nと、n個の排他的論理和ゲートEXOR_1～EXOR_nの各出力信号を入力し、各出力信号が全て一致を示している場合に一致の判定結果を、各出力信号の中に一つでも不一致である場合には不一致の判定結果を第1判定信号DSとして出力する論理回路であるn入力の論理和の反転ゲート（以下、NORゲートとする）215と、を備えている。尚、改めて述べるまでもないが、ベリファイ回路21_1～21_3は、全て図3の構成を備えている。従って、排他的論理和ゲートEXOR_1

～E X O R_nの一方の入力端に対応するメモリマクロ10から出力されたデータが、他方の入力端にnビット幅の期待値データ6がそれぞれビット対応で入力される。又、基準信号RSは、N O Rゲート215から出力される第1判定信号DSが一致を示している場合と同じ論理値に対応する信号になるように設定される。

【0065】

デコーダ回路31は、通常動作時にはアドレス入力端子55からアドレスバス1を介して入力される第1アドレス信号をデコードして第2アドレス信号をアドレスバス3に出力すると共に各メモリマクロ10₁～10₃の中のいずれが実際のアクセス対象であるかを指定する第1イネーブル信号CE1～CE3を出力するが、テストモード信号TMSがアクティブのときは、アドレス入力端子55から入力される第1アドレス信号をそのまま第2アドレス信号としてアドレスバス3に出力する。このとき、第1イネーブル信号CE1～CE3は使用されないので、任意の信号を出力してよい。

【0066】

ここで、第1アドレス信号と第2アドレス信号について簡単に説明する。図14は、このアドレス信号を説明する模式図である。L S I 100のように複数のメモリマクロを内蔵していても、通常動作時、特にC P U等からアクセス時はこれらのメモリマクロ全体のアドレスが連続したものとして扱われるの一般的である。これにより、ユーザはL S I 100の全体のメモリサイズの範囲でメモリを利用でき、内部の構成に関知する必要がなくなる。図14（a）はこの様子を示す図で、メモリマクロ10₁～10₃のメモリセルの数（以下、単にメモリサイズとする）を、特に限定されないが、それぞれ4 Kbyte、60 Kbyte及び128 Kbyteとし、且つこの順序でアドレスが配置された場合を例としている。しかし、複数のメモリマクロ全体のアドレスが連続したものとしたときの第1アドレス信号がそのまま各メモリマクロに供給されても、所望のメモリマクロにアクセスすることができない。従って、図14（b）のように、入力された第1アドレス信号が、どのメモリマクロのどのアドレスに該当するか変換し各メモリマクロに供給する必要がある。デコーダ回路31から出力される第1イネーブル信号CE1～CE3アクセス対象のメモリマクロを指定し、アドレスバス3に出力される第

2 アドレス信号が当該メモリマクロのアクセスアドレスを指定する。一方、ベリファイ試験の際は、各メモリマクロに共通にアドレス信号を供給する必要があるので、テストモード信号TMSがアクティブのときは、アドレス入力端子55から入力される第1アドレス信号をそのまま第2アドレス信号としてアドレスバス3に出力させる。尚、テスト用アドレス信号入力端子を別に設けて、テストの際にはテスト用アドレス信号を直接入力できるようにしてもよい。

【0067】

次に、このLSI100のベリファイ動作について説明する。
このLSI100においては、ベリファイ結果出力端子51は一つだけ設けられており、各ベリファイ回路21_1～21_3から出力される第2判定信号8_1～8_3が全て“1”、即ち、一致のとき“1”となるベリファイ結果判定信号が、不図示の自動テスト装置に出力される。

【0068】

LSI100のテスト時、書き込みベリファイ試験及び消去ベリファイ試験は、3個のメモリマクロ10_1～10_3で並列に行われる。即ち、3個のメモリマクロ10_1～10_3に対して、自動テスト装置側から同一の読み出しアドレスが供給され、ベリファイ回路21_1～21_3の各々で、メモリマクロ10_1～10_3からそれぞれ出力された読み出しデータを、不図示の自動テスト装置から期待値データ入力端子53に供給された期待値データとビット単位で比較することで、LSI100自体でベリファイを行い、期待値データと一致しないビットデータが存在する場合、即ちいずれかの排他的論理和ゲートEXORから“1”が出力されたとき、当該排他的論理和ゲートEXORの出力を入力とするNORゲート215から出力される第1判定信号DSは“0”、即ち不一致を示す。このとき、“0”となる第1判定信号DSを出力するベリファイ回路21のセクタ213に入力されているTCES4が、第1判定信号DSの選択を指示していれば、ANDゲート24から出力されるベリファイ結果判定信号は“0”となる。ベリファイ結果出力端子51には、不図示の自動テスト装置のコンパレータが接続されており、自動テスト装置では、テスト回路20からのベリファイ結果判定信号が“1”のときはパス、“0”のときはフェイルと判定する。尚、TCES4が、基準信号

RSの選択を指示していれば、この第1判定信号DSは無視されることになる。

【0069】

ここで、TCES4について説明する。尚、以下では、メモリマクロ10_1～10_3のメモリセルの数（以下、単にメモリサイズとする）を、特に限定されないが、それぞれ4 Kbyte、60 Kbyte及び128 Kbyteとして説明する。図4は、これらのメモリマクロ10_1～10_3のメモリサイズと、ペリファイ試験対象アドレスによるTCES4の設定状態について説明する図で、(a)は各メモリマクロ10_1～10_3の最終アドレスを16進表示で示した図、(b)はペリファイ試験対象アドレス毎のTCES4の設定例を示す表である。図4から分かるように、TCES4は試験対象アドレスに対応するメモリセルが存在すれば第1判定信号DSの選択を指示する“1”が設定され、試験対象アドレスに対応するメモリセルが存在しない場合は基準信号RSの選択を指示する“0”が設定される。具体的には、試験対象アドレスが16進表示で“00000”番地から“00FFF”番地（以下、「00000h」～「00FFFh」のように表示する）の範囲では、各メモリマクロ10_1～10_3に対応するメモリセルが存在するので、TCES4_1～TCES4_3は全て“1”に設定される。試験対象アドレスが「01000h」～「0EFFFh」の範囲では、メモリマクロ10_1には対応するメモリセルが存在しないが、メモリマクロ10_2及び10_3には対応するメモリセルが存在するので、TCES4_1は“0”に、TCES4_2及び4_3はいずれも“1”にそれぞれ設定される。試験対象アドレスが「0F000h」～「1FFFFh」の範囲では、メモリマクロ10_1及び10_2には対応するメモリセルが存在しないが、メモリマクロ10_3には対応するメモリセルが存在するので、TCES4_1及び4_2はいずれも“0”に、TCES4_3は“1”にそれぞれ設定される。これにより、メモリマクロ10_1～10_3について並列にペリファイ試験を実施したとき、試験対象アドレスに対応するメモリセルが存在しないメモリマクロ10の出力を期待値データと比較するブロック判定回路211の出力が不定になっても当該ペリファイ回路21の判定結果である第2判定信号8としてはブロック判定回路211から出力される第1判定信号DSを無視して常に一致を示す“1”が出力されるので、他のメモリブロックの判定結果に影響を及ぼすことなく並列にペリファイ試験が実施される。

【0070】

このように一つのLSIが複数の不揮発性のメモリマクロを内蔵し、且つその中にメモリサイズの異なるメモリマクロが含まれていても、本発明の試験回路20を適用することで、メモリサイズの如何に関わらず全ての不揮発性のメモリマクロのベリファイ試験を並列に実施できるので、不揮発性メモリマクロのベリファイ試験に要する時間を大幅に短縮することができる。しかも、必要とされるLSIのテスト専用の出力端子としては一つのベリファイ結果出力端子を設けるだけでよく、テスト専用の出力端子数を特段に縮減しており、自動テスト装置でベリファイ試験に必要とされるコンパレータも1個で済むことになる等、テストコスト及び製品コストの低減に顕著な効果が得られる。

【0071】

尚、本実施形態のLSI100において、テスト専用の入力端子としては、期待値データ入力端子53として n ビット分、TCES4を入力するCE情報入力端子として k 本、又後述するように、テストモード等の選択信号を入力するための端子が必要とされ、このため、テスト専用端子の総計は、高々、 $k+n+2$ （但し、 k はCE情報入力端子の数で通常は $k=m$ 、 n はメモリマクロの出力データのビット幅であり期待値データ入力端子の数、2はベリファイ結果出力端子及びテスト専用制御信号端子の合計値）であり、 m 個のメモリマクロのデータ（ n ビット）を平行に出力する回路構成とした場合に必須となる端子数 $(m+1) \times n$ よりも、テスト専用端子数を少なくすることができるのは勿論、ベリファイ結果出力端子数をメモリマクロの数 m に削減した特許文献1の場合とほぼ同等になる。しかも、本実施形態のLSI100においては、複数のメモリマクロのメモリサイズが異なっているとしても、これらのベリファイ試験を並列に行うことが可能とされており、試験の高速化と、端子数の増大の抑止という二つの課題を同時に解決している。

【0072】

又、LSI100では、期待値データ入力端子53とデータ入力端子56とが独立して設けられているが、通常、書き込みデータと期待値データは一致するので、これらを兼用させることもできる。期待値データ入力端子53とデータ入力

端子 56 を兼用させることにより、テスト専用の端子数を更に削減することができる。

【0073】

尚、本実施形態ではテスト回路 20 の出力（ベリファイ結果判定信号）が“0”となった場合、即ちベリファイ試験がフェイルした場合、そのままではフェイルしたメモリマクロを特定することができない。従って、ベリファイ試験がフェイルした場合、フェイルした読み出しアドレスを固定したまま一つのメモリマクロ 10 の第 1 判定信号 DS のみが第 2 判定信号 8 として出力されるように TCES 4 を順次切り換えて試験する手順をベリファイ試験方法の中に組み込んでおくのが好ましい。これにより、ベリファイ試験がフェイルした場合でも、フェイルしたメモリマクロ 10 及びそのアドレスを容易に特定できる。

【0074】

又、テスト時に、或るメモリマクロのメモリセルの書き込みベリファイがフェイル（NG）した場合、メモリセルの再書き込みを直ちに行うか、或いは、該テストについて不良としてテストプログラム側で記録しておき、後で、別途、不良のメモリマクロの書き込み及びベリファイを行うは、実行されるテストが特性解析試験（キャラクタライゼーション試験）であるか量産試験であるか等、テスト仕様に依存する。

【0075】

ここで、メモリマクロ 10 の概略構成について説明する。図 5 は、メモリマクロ 10 の概略構成の一例を示すブロック図である。尚、メモリマクロ内の具体的な接続構成は、本発明に直接的な関係がないので、煩瑣を避けるためブロック間の接続の図示は省略する。図 5 を参照すると、メモリマクロ 10 は、メモリセルアレイ又はセクタ単位に一括消去可能な不揮発性メモリセルアレイ 11 と、X デコーダ 12 と、Y デコーダ 13 と、書き込み回路 15 と、センスアンプ 14 と、ゲート電圧発生回路 16 と、消去回路 17 と、を備えている。尚、メモリセルアレイ 11 のサイズ、即ちメモリサイズはメモリマクロ毎に異なっていてよい。

【0076】

ゲート電圧発生回路 16 は、入力されるモード信号をデコードし、消去モード

、消去ベリファイモード、書き込みモード、書き込みベリファイモード、読み出しモードの各モードに対応したゲート電圧を発生する。Xデコーダ12で選択されたワード線の電圧は、ゲート電圧発生回路16で発生されたゲート電圧に設定される。消去回路17は、消去時、メモリセルアレイ11の共通ソース線を高電圧に切り換える。書き込み回路15は書き込みデータバスの情報に基づき、Xデコーダ12、Yデコーダ13で選択されたメモリセルにデータを書き込む。ゲート電圧発生回路16に入力するモード信号は、自動テスト装置側から直接入力する構成としてもよいし、或いは、LSIに内蔵されているCPU等の他の機能マクロ等から供給される構成としてもよい。

【0077】

次に、不揮発性メモリにおける消去ベリファイと、書き込みベリファイについて説明する。図6は、消去ベリファイ(a)と、書き込みベリファイ(b)を説明するための図である。

【0078】

図5及び図6(a)を参照すると、セクタ単位又は全メモリセルを消去後、ゲート電圧発生回路16で発生されたゲート電圧が、Xデコーダで選択されたワード線を介してメモリセルの制御ゲートに印加され、ソース線は接地電位とされ、Yデコーダを介して選択されたビット線が所定の電圧に設定され、選択された1個のメモリセルのデータを読み出す。メモリセルの閾電圧値(具体的には、メモリセルトランジスタのスレッシュホールド電圧値)に応じて、選択されたメモリセルに接続されるビット線に流れる電流は相違する。メモリセルの閾電圧値が、制御ゲートに印加される所定の電圧よりも小さくなった場合、メモリセルトランジスタがオンし、選択されたメモリセルに接続されるビット線に電流が流れ、センスアンプで電圧に変換することで、メモリセルに記憶されたデータの“1”、“0”を判定し、メモリセルの閾電圧値がゲート電圧以下のときを例えば“0”として、読み出しデータが“0”のとき、期待値データと一致し、消去ベリファイが成功する。尚、図6(a)において、前述したように、消去とベリファイの各ステップは、所定の時間単位に小刻みに行われる。

【0079】

又、図6（b）を参照すると、書き込みベリファイにおいて、書き込みアドレスを指定して、選択されたメモリセルのドレインを、ゲートを高電圧を印加し、ソースを接地電位として書き込みを行った後、ゲート電圧発生回路16で発生されたゲート電圧が、Xデコーダで選択されたワード線を介してメモリセルの制御ゲートに印加され、ソース線は接地電位とされ、Yデコーダを介して選択されたビット線が所定の電圧に設定され、選択された1個のメモリセルのデータを読み出す。メモリセルの閾電圧値がゲート電圧を超えるときを“1”として、読み出しデータが“1”のとき、書き込みベリファイが成功する。

【0080】

次に、本発明をCPU及び複数の不揮発性メモリマクロを内蔵するLSI、いわゆるマイクロコンピュータに適用した第1実施例について説明する。尚、以下の実施例の説明において、上記実施形態と同じ構成要素には同じ参照符号を付けて詳細な説明は省略する。

【0081】

図7は、本発明の第1実施例をなすマイクロコンピュータの概略構成を示す図である。図7を参照すると、マイクロコンピュータであるLSI100Aは、CPU30と、

CPU30からアドレスバス1Aに出力されるCPUアドレス信号と、テスト時に、不図示の自動テスト装置からテスト用アドレス入力端子57に供給されたテスト用アドレス信号とを入力し、テストモード信号TMSを選択信号として、通常動作時には、CPU30からアドレスバス1Aに出力されるCPUアドレス信号を選択し、テスト時には、テスト用アドレス入力端子57に供給されるテスト用アドレス信号を選択して第1アドレス信号としてアドレスバス1に出力する第3選択手段であるセクタ45と、

CPU30からデータバス1Dに出力されるデータ信号と、テスト時に自動テスト装置からテスト用データ入力端子58に供給されるデータ信号とを入力し、テストモード信号TMSを選択信号として、通常動作時には、CPU30からデータバス1Dに出力されるデータ信号を選択出力し、テスト時には、テスト用データ入力端子58に供給されるデータ信号を選択出力する第5選択手段であるセクタ4

6 と、

アドレスバス 1 から入力されるアドレス信号をデコードしアドレスバス 3 にアドレス信号を出力すると共に各メモリマクロ 10_1～10_3の中のいずれが実際のアクセス対象であるかを指定する第 1 イネーブル信号 CE 1～CE 3 を出力するデコーダ回路 31 と、

第 1 イネーブル信号 CE 1～CE 3 と

CE 情報入力端子 52a, 52b, 52c から入力される TCES 4_1～4_3 をそれぞれ入力すると共に、テストモード信号 TMS を選択信号として入力し、テストモード信号 TMS がノンアクティブの通常動作時には第 1 イネーブル信号 CE 1～CE 3 が選択されて出力され、テストモード信号 TMS がアクティブのテスト時には TCES 4_1～4_3 が選択されて出力されるセクタ 41～43 と、

セクタ 45、及びセクタ 46 からそれぞれ出力されるアドレス信号、データ信号をアドレス端子、データ端子に入力する複数のメモリマクロ 10_1～10_3 と、

複数のメモリマクロ 10_1～10_3 から出力データバス 5_1～5_3 に出力されるの n ビット幅の出力データを入力とし、通常動作時に、CPU 30 でアクセスされたメモリマクロに応じて、出力データを選択出力して CPU 30 に供給する第 4 選択手段であるセクタ 44 と、

メモリマクロ 10_1～10_3 の消去ベリファイ試験及び書き込みベリファイ試験を行うテスト回路 20 と、を備えている。

【0082】

又、テスト回路 20 は各メモリマクロに対応する 3 個のベリファイ回路 21_1～21_3 と、各ベリファイ回路 21_1～21_3 から出力される信号を入力とする 3 入力の AND ゲート 24 を備え、AND ゲート 24 の出力信号がベリファイ結果判定信号としてベリファイ結果出力端子 51 から出力される。

【0083】

各メモリマクロ 10_1～10_3 からの出力は、出力データバス 5_1～5_3 にそれぞれ出力され、ベリファイ回路 21_1～21_3 に入力される。各メモリマクロ 10_1～10_3 からは n ビット幅（但し、n は 2 以上の整数とする）のデータが

読み出しデータとして出力され、出力データバス 5_1～5_3はnビット幅とされている。このマイクロコンピュータ 100Aにおいても、ベリファイ結果出力端子 51は、メモリマクロの内蔵個数に関わりなく、一つだけ設けられている。

【0084】

テスト用データ入力端子 58には、テスト時、不図示の自動テスト装置からチェッカー (CHECKER) パターン、チェッカーバーパターン (チェッカーパターンの反転)、全“0”パターン等の書き込みデータが入力される。尚、ベリファイ試験の際に、CPU 30はデータバス 1Dへの出力をインビビット状態とし、セクタ 44はデータを出力しないか (ハイインピーダンス状態)、CPU 30側では読み出しデータの入力をマスクするように構成してもよい。又、CPU 30からメモリマクロ 10_1～10_3へ設定する制御信号がモード信号を含み、CPU 30を介してゲート電圧発生回路 16へ供給するモード信号を設定入力する構成としてもよい。

【0085】

次に、図7を参照して、マイクロコンピュータ 100Aのベリファイ試験の動作について説明する。ベリファイ試験時には、不図示の自動テスト装置からテストモード信号TMSをアクティブ状態として、テスト用アドレス入力端子 57からベリファイ対象のアドレス信号を入力する。セクタ 45では、テスト用アドレス入力端子 57から入力されたアドレス信号をアドレスバス 1に選択出力する。セクタ 45から出力されたアドレス信号は、更にデコード回路 31でデコードされアドレス信号がアドレスバス 3に出力されると共に第1イネーブル信号CE1～CE3が出力され、アドレス信号が複数のメモリマクロ 10_1～10_3に同時に供給される。

メモリマクロ 10_1～10_3は、供給されたアドレス信号に対応するアドレスのメモリセルの読み出しデータを出力データバス 5_1～5_3にそれぞれ出力する。尚、セクタ 41～43は、選択信号であるテストモード信号TMSがアクティブであるので、TCES 4_1～4_3を選択して出力している。

【0086】

各ベリファイ回路 21_1～21_3では、出力データバス 5_1～5_3上のビット

データと、不図示の自動テスト装置のドライバから期待値データ入力端子 53 に供給される期待値データ 6 のビットデータとが一致するか否か判定し、全ビットが一致する場合、ブロック判定回路 211 の第 1 判定信号 DS である NOR ゲート 215 の出力は “1” となり、1 ビットでも不一致が検出されたときに、NOR ゲート 215 の出力は “0” となる。そして、セクタ 41～43 を介して出力されている TCES 4_1～4_3 に基づき、ベリファイ試験が実施されているアドレスに対応するメモリセルが実在するメモリマクロ 10 の出力データが入力されているベリファイ回路 21 からは当該ベリファイ回路 21 に含まれるブロック判定回路 211 の第 1 判定信号 DS が第 2 判定信号 8 として出力され、当該アドレスに対応するメモリセルが実在しないメモリマクロ 10 の出力データが入力されているベリファイ回路 21 からは基準信号 RS が第 2 判定信号 8 として出力され、AND ゲート 24 は第 2 判定信号 8_1～8_3 の中に一つでも “0” が含まれていればベリファイ結果出力端子 51 から “0” を出力して、自動テスト装置にフェイルを通知する。

【0087】

上記説明の通り、TCES 4 によりベリファイ回路 21 の出力信号を台判定信号 DS とするか基準信号 RS とするかを選択しているため、第 2 判定信号 8 として “0” が出力されるのは、実在するメモリセルから読み出されたデータが期待値データと不一致の場合のみとなり、メモリマクロ 10_1～10_3 のメモリサイズが不揃いであっても、同時並列にベリファイ試験を実施できる。しかも、テスト専用のベリファイ結果出力端子は一つのみでよい。

【0088】

このように本発明の第 1 実施例によれば、複数のメモリマクロにメモリサイズの異なるものが含まれていても、複数のメモリマクロのベリファイ試験の時間を短縮するとともに、テスト用の端子数の増大を抑止低減している。

【0089】

尚、第 1 実施例の L S I 100 A においても、期待値データ入力端子 53 とテスト用データ入力端子 58 とが独立して設けられているが、L S I 100 の場合と同様、これらを兼用させてもよい。この場合も、期待値データ入力端子 53 と

テスト用データ入力端子 58 を兼用させることにより、テスト専用の端子数を更に削減することができる。

【0090】

次に、本発明の第 2 実施例について説明する。図 8 は、本発明の第 2 実施例の構成を示す図である。図 8 を参照すると、第 2 実施例においては、第 1 実施例と相違して、期待値データを、マイクロコンピュータである L S I 100 B が内蔵する期待値データ記憶部 37 に予め記憶保持しておき、実行されるベリファイ試験の種別に対応して、期待値データ記憶部 37 から読み出される期待値データをセクタ 47 で選択出力し、選択出力された期待値データ 6 が、各メモリマクロ 10_1 ~ 10_3 のベリファイ回路 21_1 ~ 21_3 の排他的論理和ゲート E X O R に供給される構成としたものである。L S I に内蔵される期待値データ記憶部 37 は、E E P R O M、マスク R O M 等であってよい。

【0091】

期待値データ記憶部 37 には、消去ベリファイ、全 “0” 書き込み (ALL “0” WRITE) ベリファイ、チェッカー書き込みベリファイ、チェッカーバー書き込みベリファイに対応した期待値パターン (カラムサイズはメモリマクロの出力データのビット幅分) が予め格納されており、セクタ 47 において、不図示の自動テスト装置等から供給されるモード信号に応じて、ベリファイ試験に対応した期待値データの選択が行われ、ベリファイ回路 21_1 ~ 21_3 に供給される。

【0092】

尚、第 2 実施例においても、ベリファイ回路 21_1 ~ 21_3 の構成は、第 1 実施例で説明したものと同一構成されており、その説明は省略する。又、この L S I 100 B においても、テスト用データ入力端子 58 が設けられているが、図 15 に示すように、セクタ 47 から出力される期待値データ 6 をデータバス 2 を介してセクタ 46 に入力させるようにすれば、テスト用データ入力端子 58 を削除することができ、やはりテスト専用の端子数を一層削減することができる。

【0093】

第 2 実施例においては、第 1 実施例において設けられていた、期待値データ入力端子 53 を不要としており、L S I におけるテスト専用端子数を縮減すると共

に、自動テスト装置において、ベリファイ試験用の期待値パターンの作成を不要にしており、パターン作成の手間を省き、テストの容易化を図るものである。

【0094】

尚、上記実施形態及び各実施例では、データ入出力が多ビットとされる構成のメモリマクロを例に説明したが、データの入力及び出力が1ビット構成のメモリマクロを複数個備えた構成にも同様にして適用されることは勿論である。この場合、図2、図7において期待値データ入力端子53から入力される期待値データ6は1ビット幅のデータとなる。

【0095】

【発明の効果】

以上説明したように、本発明によれば、例えば電氣的に消去及び書き込み可能な不揮発性のメモリマクロを複数個備えたLSIにおいて、メモリサイズが異なるマクロが含まれている或いは一部のマクロで部分的に消去・書き込みが禁止されているセクタが存在していても、テスト専用端子数の増加を抑制しながら、複数のメモリマクロのベリファイ試験を並列に実行することを可能としており、試験を効率化するという効果を奏する。

【0096】

又、本発明によれば、期待値データを予めLSI内に記憶しておくことで、ベリファイ試験の期待値データを入力するための専用端子やパターン作成を不要としており、試験の更なる効率化を達成している。

【0097】

更に、本発明によれば、LSI内にベリファイ結果を判定する回路を備えたことにより、自動テスト装置で必要とされるコンパレータの数を縮減すると共にテストの容易化を可能としている。

【図面の簡単な説明】

【図1】

本発明のテスト回路の一実施形態の構成を模式的に示す図で、(a)は概略ブロック図、(b)は(a)のブロックテスト手段の詳細ブロック図である。

【図2】

本発明の L S I の一実施形態の構成を模式的に示す概略ブロック図である。

【図 3】

図 2 のベリファイ回路の詳細構成を示す図である。

【図 4】

TCES（テスト用イネーブル信号）の設定方法を説明するための図である。

【図 5】

本発明の L S I に内蔵されるメモリマクロの概略を模式的に示す図である。

【図 6】

本発明の L S I に内蔵される不揮発性のメモリマクロにおける消去ベリファイと書き込みベリファイを説明するための図である。

【図 7】

本発明の第 1 実施例の構成を示す図である。

【図 8】

本発明の第 2 実施例の構成を示す図である。

【図 9】

フラッシュメモリの構成を模式的に示す図である。

【図 10】

消去手順と書き込み手順を示す流れ図である。

【図 11】

従来のフラッシュメモリを備えた L S I の構成を示す図である。

【図 12】

フラッシュメモリのテストの一例を示す流れ図である。

【図 13】

特開 2001-155500 号公報に開示された L S I の一例の概略構成を示す図である。

【図 14】

第 1 アドレス信号と第 2 アドレス信号を説明する図である。

【図 15】

本発明の第 2 実施例でテスト用データ入力端子が削除されたときの構成を示す

図である。

【符号の説明】

- 1, 1A, 3 アドレスバス
- 1D, 2 データバス
- 4 TCES
- 5 出力データバス
- 6 期待値データ
- 8 第2判定信号
- 10 メモリマクロ
- 11 メモリセルアレイ
- 12 Xデコーダ
- 13 Yデコーダ
- 14 センスアンプ
- 15 書き込み回路
- 16 ゲート電圧発生回路
- 17 消去回路
- 20, 300 テスト回路
- 21 ベリファイ回路
- 24 ANDゲート
- 30 CPU
- 31 デコーダ回路
- 41, 42, 43, 44, 45, 46, 47, 213 セレクタ
- 51 ベリファイ結果出力端子
- 52 CE情報入力端子
- 53 期待値データ入力端子
- 55 アドレス入力端子
- 56 データ入力端子
- 57 テスト用アドレス入力端子
- 58 テスト用データ入力端子

100, 100A, 100B LSI

215 NORゲート

301 ブロックテスト手段

303 第1論理処理手段

310 ブロック判定手段

311 個別判定手段

313 第2論理処理手段

315 ブロック出力選択手段

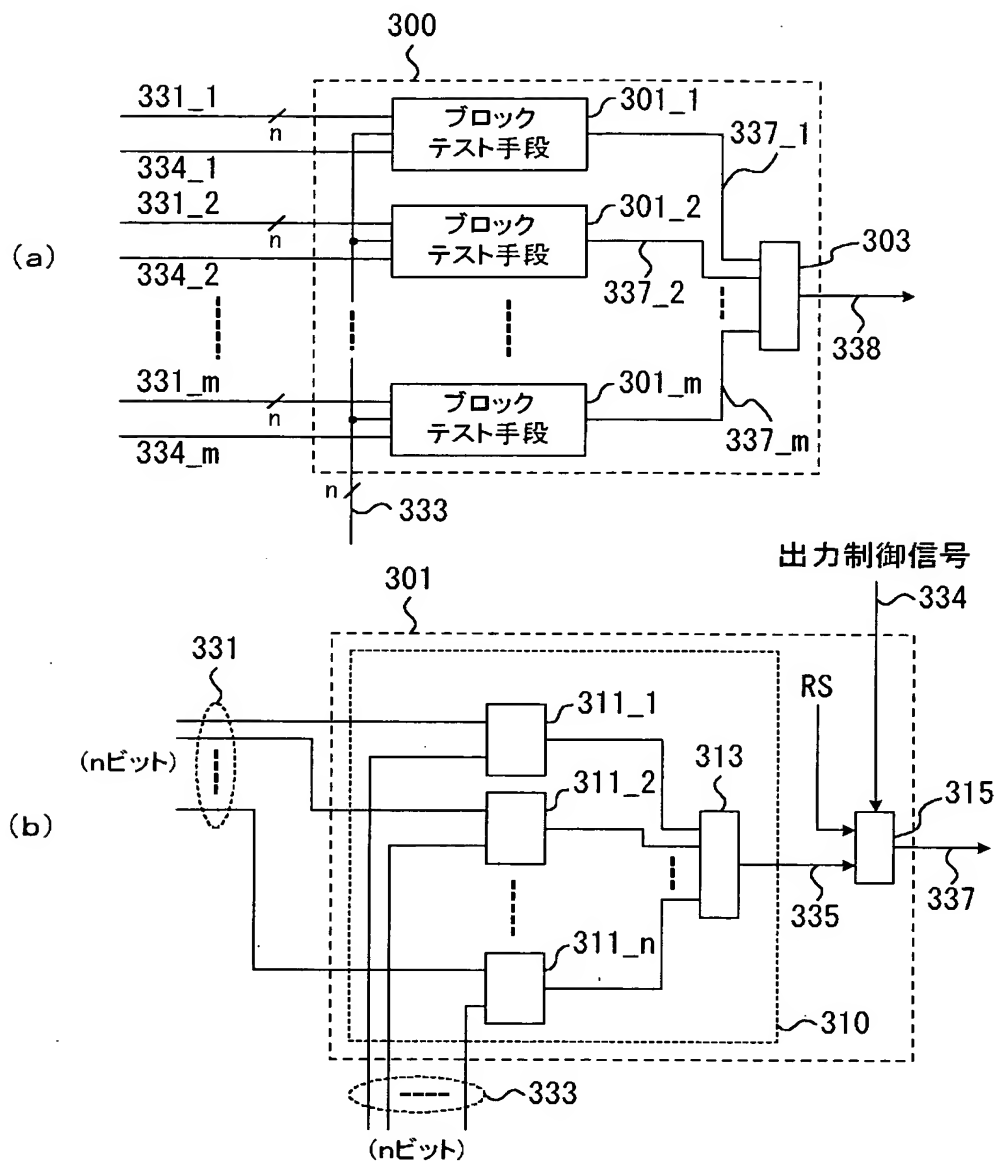
DS 第1判定信号

RS 基準信号

TMS テストモード信号

【書類名】 図面

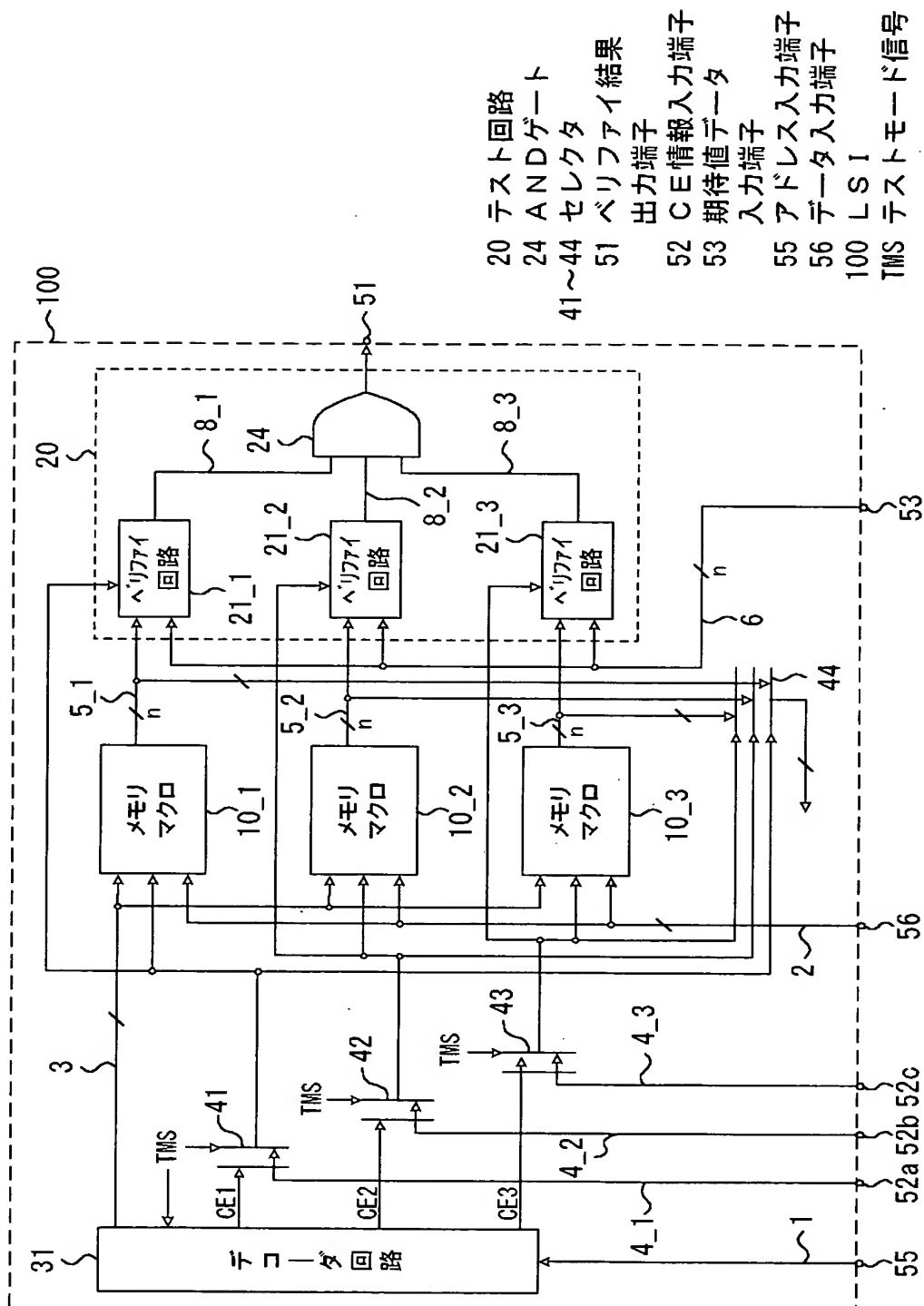
【図 1】



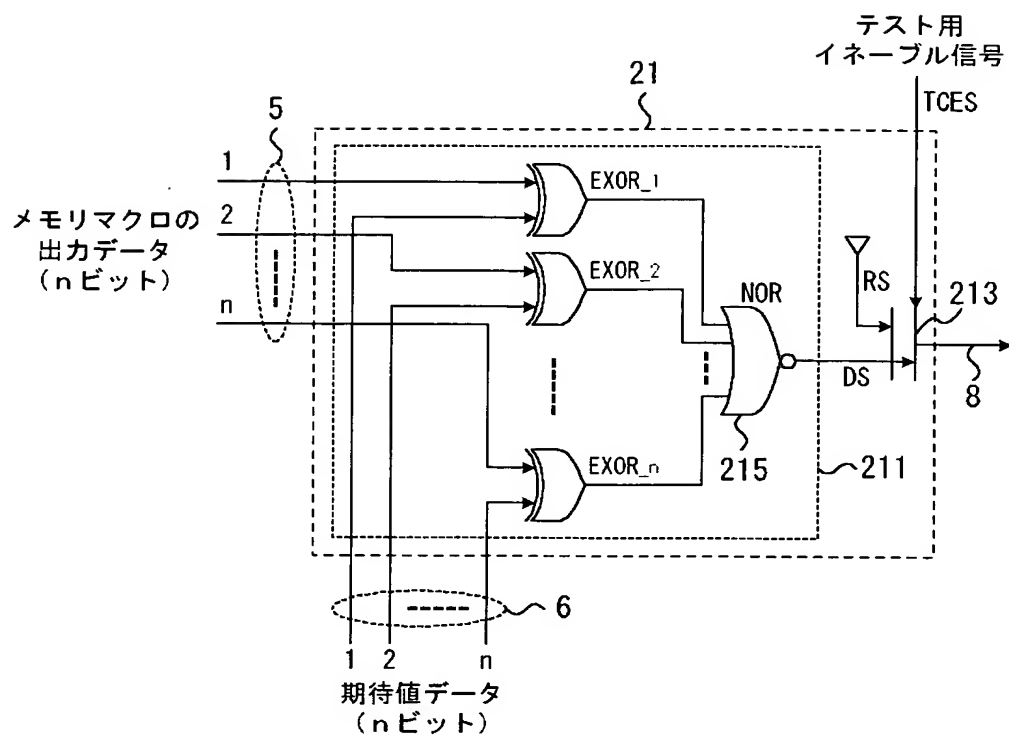
300 テスト回路
 301 ブロックテスト手段
 303 第1論理処理手段
 310 ブロック判定手段
 311 個別判定手段
 313 第2論理処理手段

315 ブロック出力選択手段
 331 第1信号
 333 参照信号
 335 ブロック判定結果信号
 337 テスト回路出力信号
 338 総合判定結果信号

【図 2】



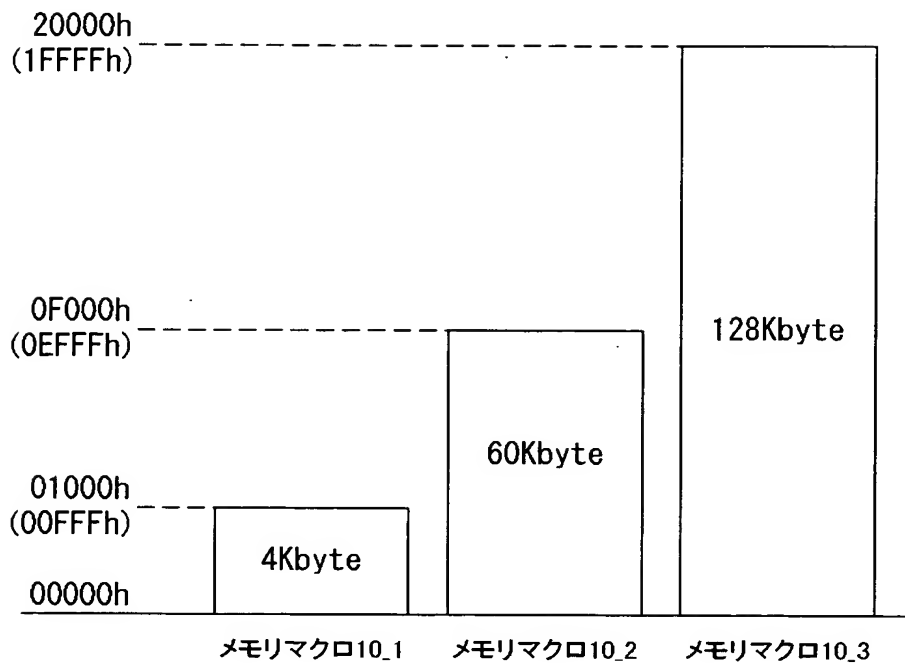
【図3】



21 ベリファイ回路
211 ブロック判定回路
215 セレクタ

【図 4】

アドレス

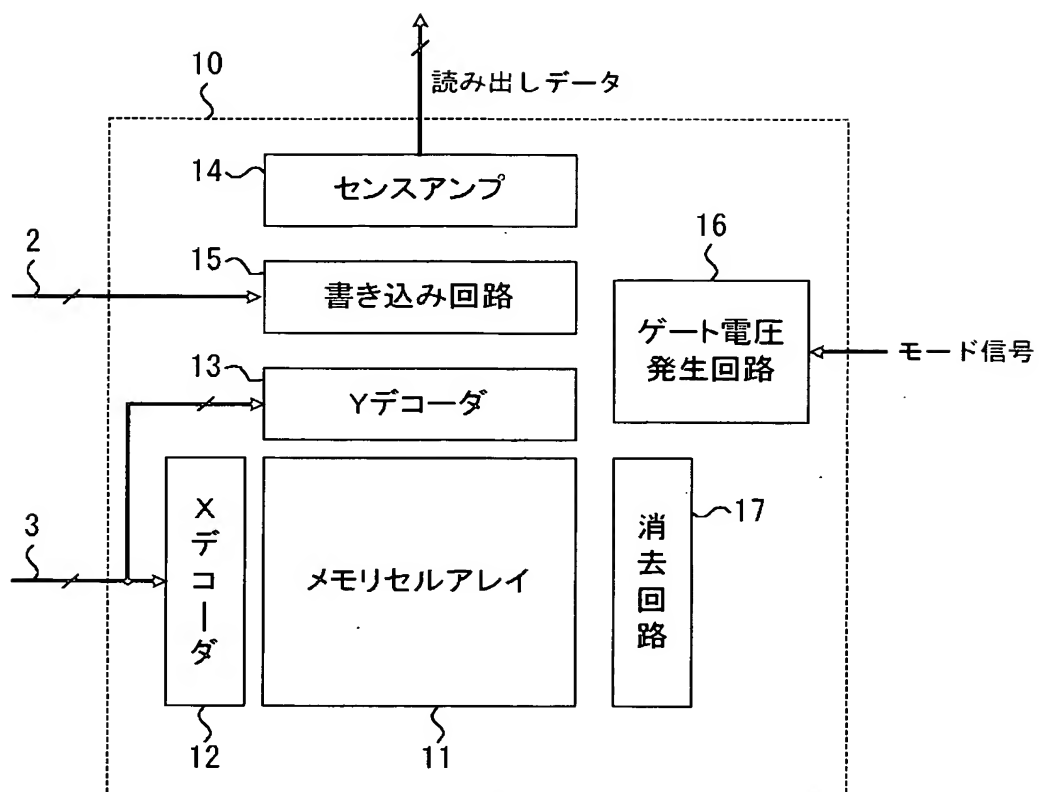


(a)

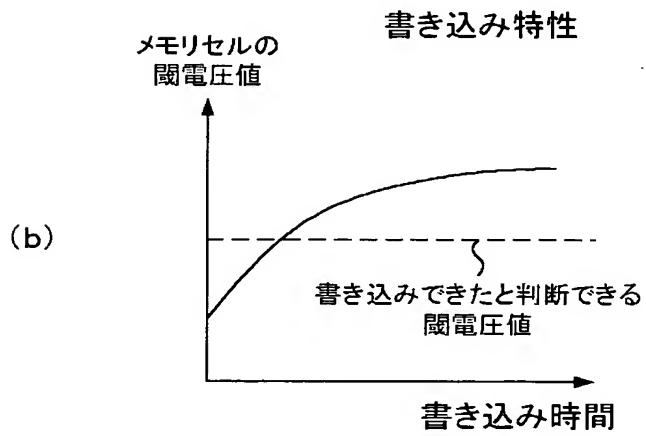
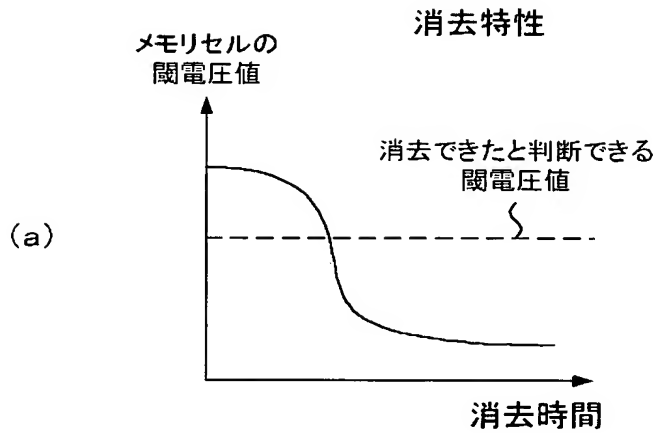
アドレス	00000h 〜 00FFFh	01000h 〜 0EFFFh	0F000h 〜 1FFFFh
TCES4_1	1	0	0
TCES4_2	1	1	0
TCES4_3	1	1	1

(b)

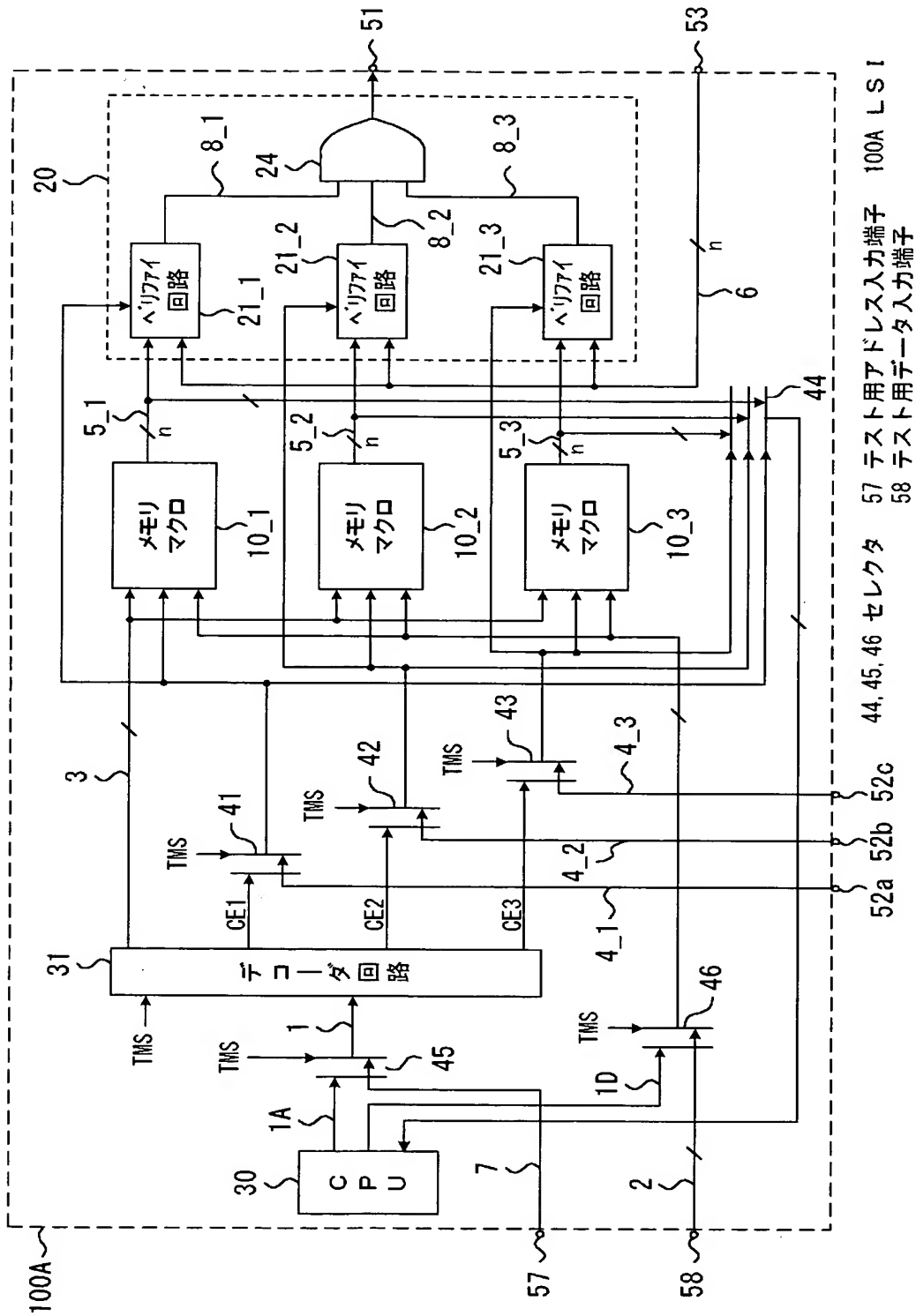
【図5】



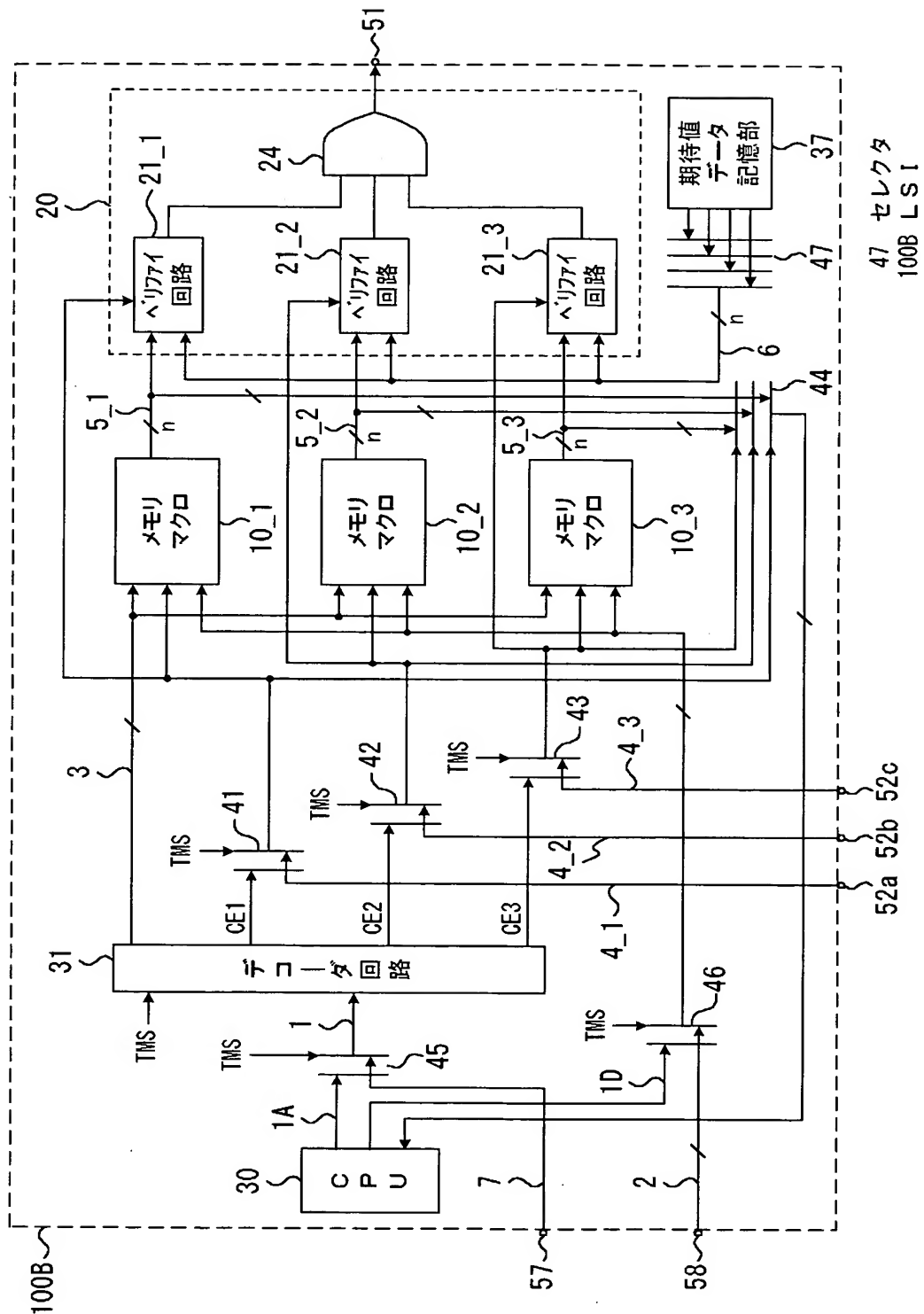
【図 6】



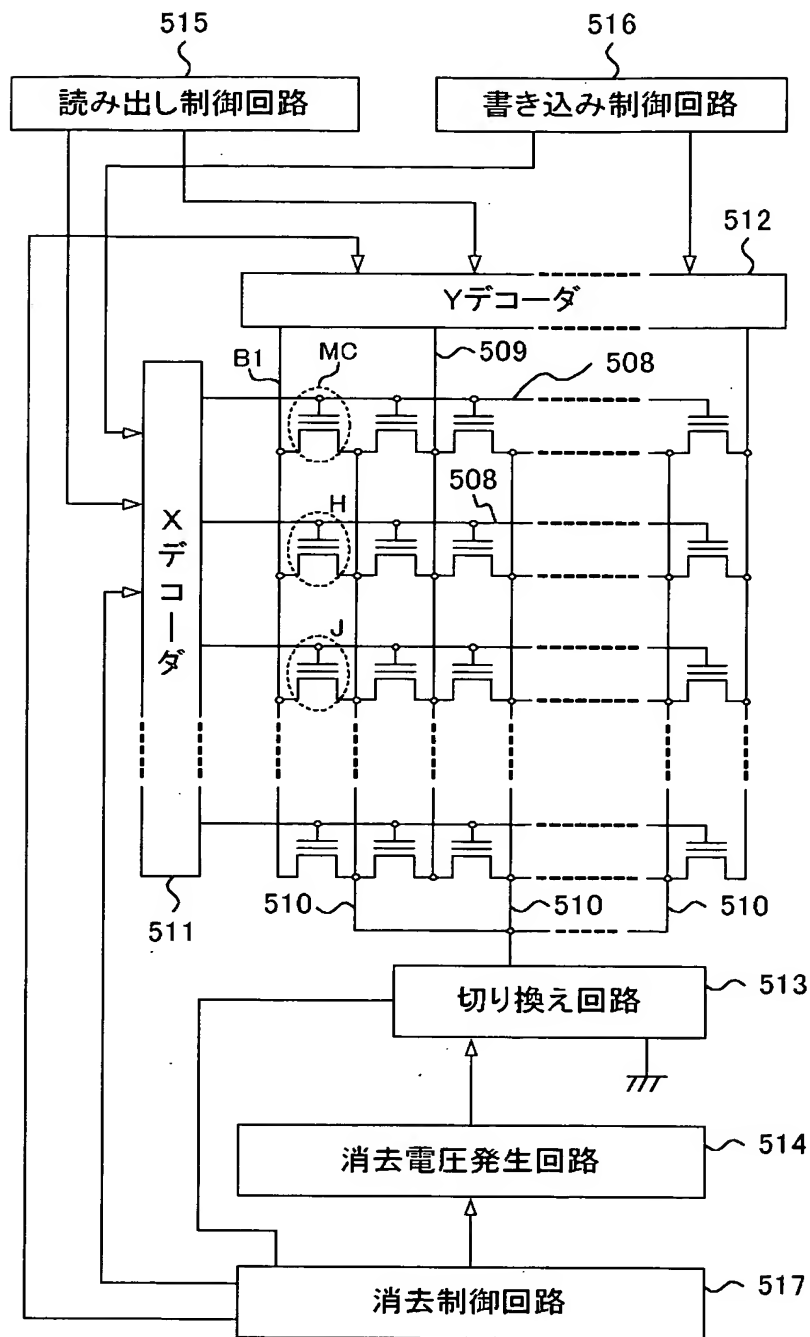
【図 7】



【図 8】

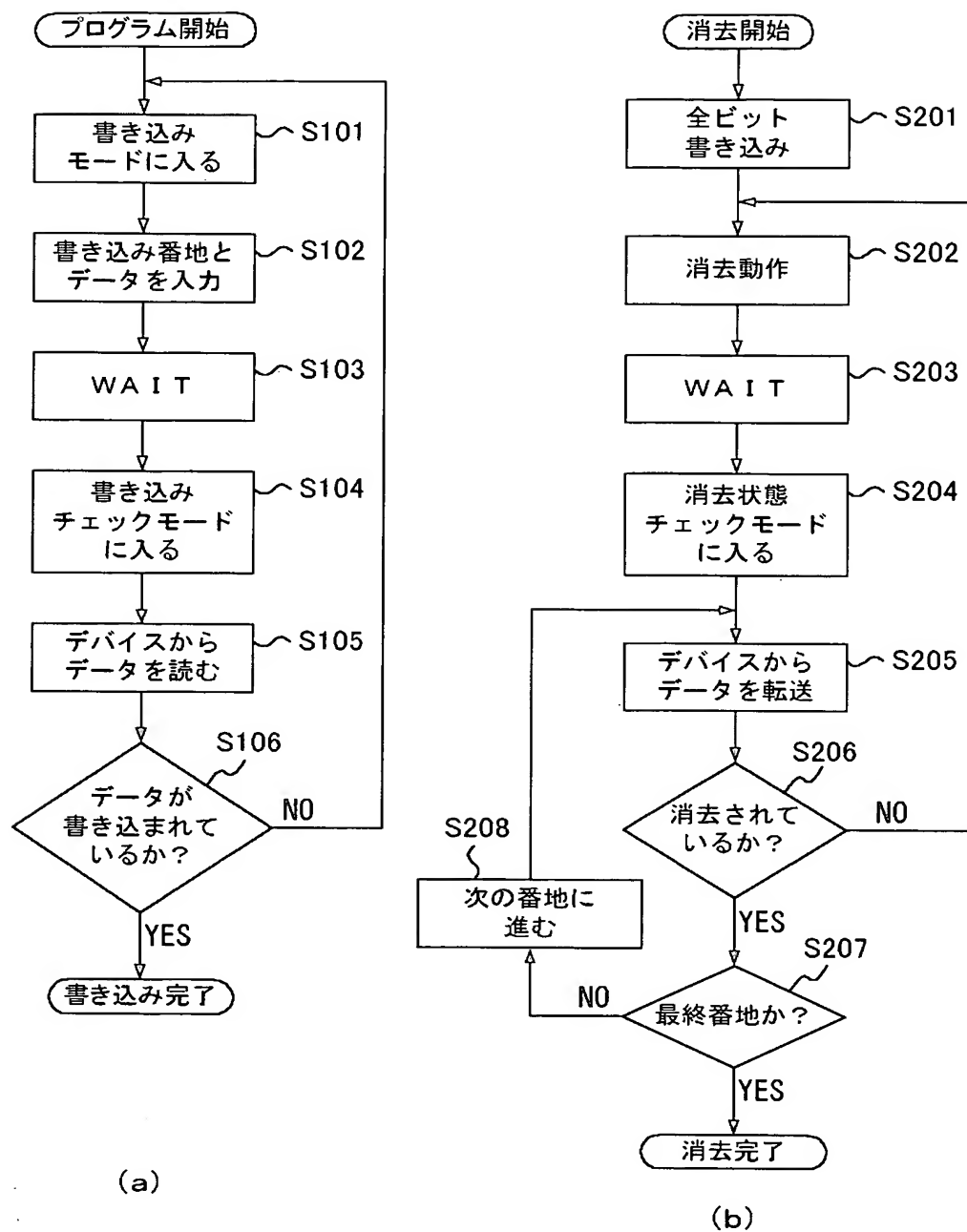


【図 9】

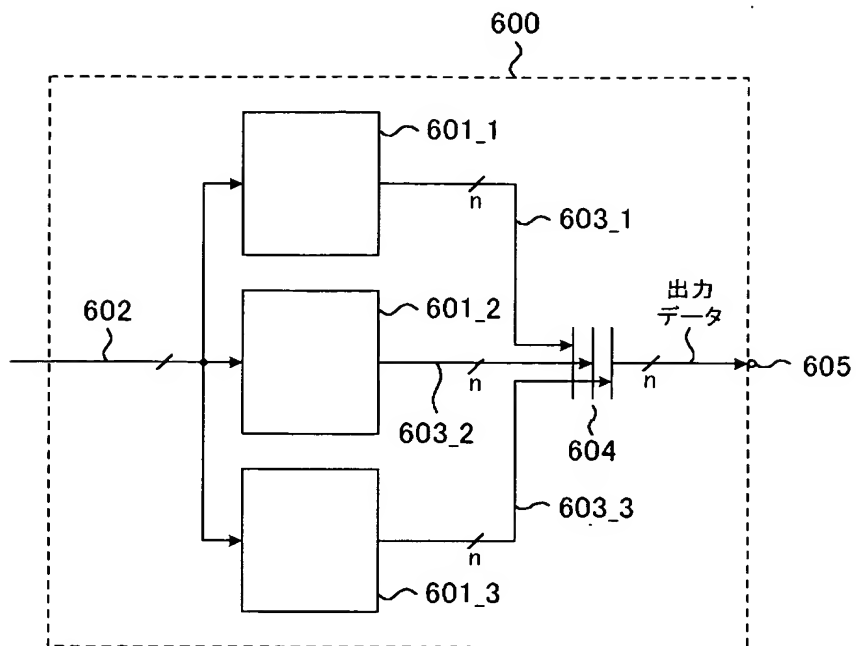


508 ワード線
509 ビット線
510 ソース線

【図 10】

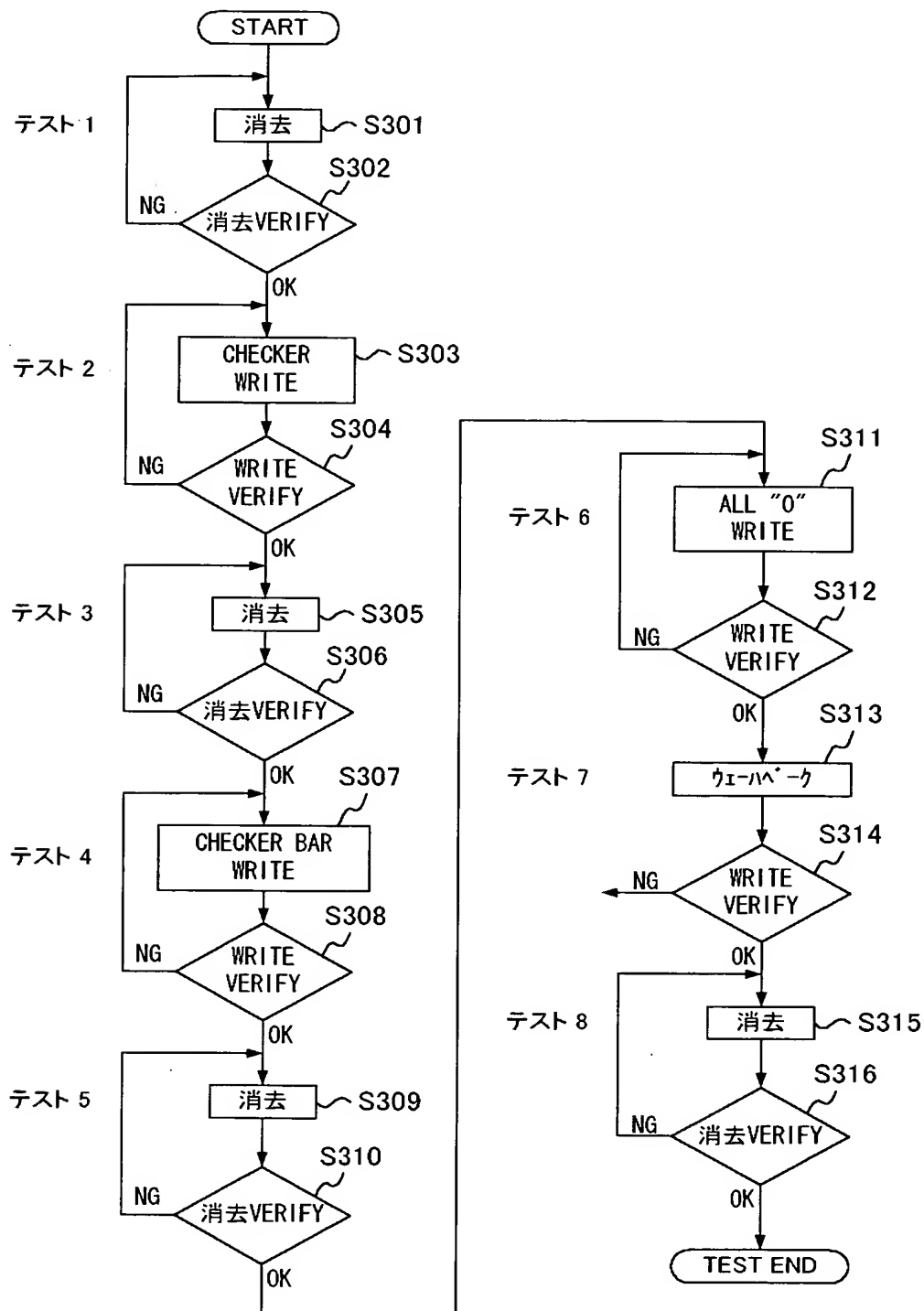


【図 11】

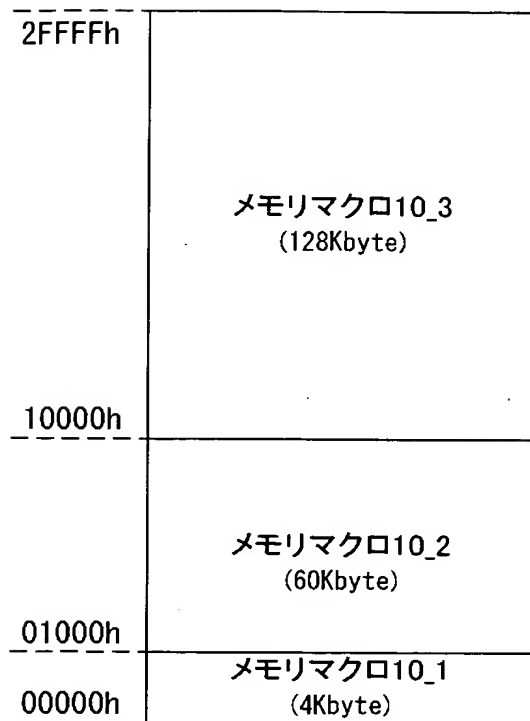


- 600 フラッシュメモリ内蔵マイコン
601_1～601_3 メモリブロック
602 アドレスバス
603_1～603_3 データバス
604 セレクタ
605 データ出力端子

【図 12】



【図 14】

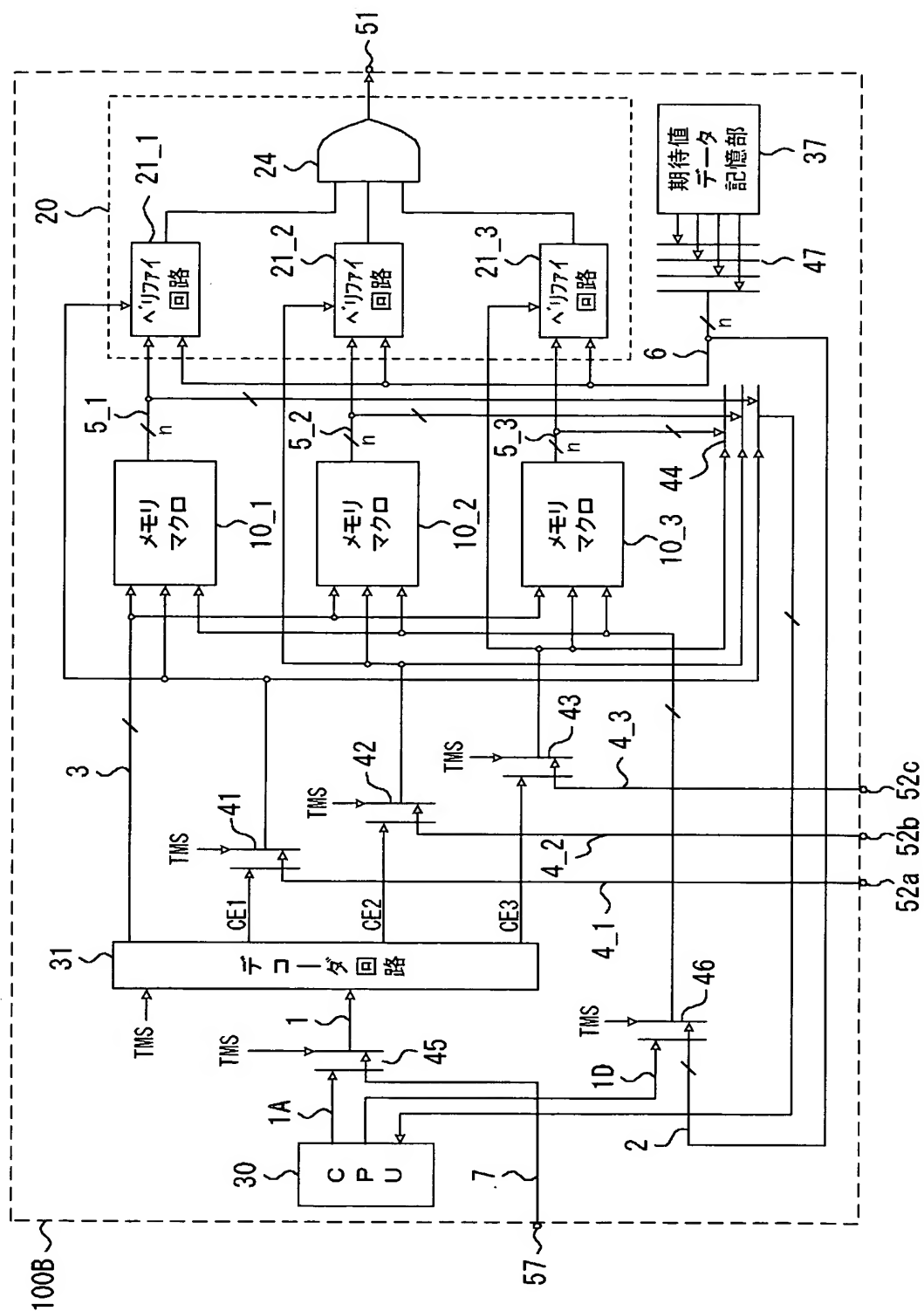


(a)

		第 1 アドレス	デコード回路の出力			
			CE3	CE2	CE1	第 2 アドレス
メモリマクロ 10_3	最終アドレス	2FFFFh	1	0	0	1FFFFh
	先頭アドレス	10000h				00000h
メモリマクロ 10_2	最終アドレス	0FFFFh	0	1	0	0EFFFh
	先頭アドレス	01000h				00000h
メモリマクロ 10_1	最終アドレス	00FFFh	0	0	1	00FFFh
	先頭アドレス	00000h				00000h

(b)

【図15】



【書類名】 要約書

【要約】

【課題】 構成の多様化した、複数の不揮発性のメモリマクロを内蔵したLSIで、効率的にベリファイ試験を実施するテスト回路を備えたLSIを提供する。

【解決手段】 テスト回路300は、m個のブロックテスト手段301と、ブロックテスト手段301から出力されるm個のテスト回路出力信号337を入力し、総合判定結果信号338を出力する第1論理処理手段303とを含む。ブロックテスト手段301は、ブロック判定手段310と、出力制御信号334によりブロック判定結果信号335又は基準信号RSをテスト回路出力信号337として出力するブロック出力選択手段315を備え、ブロック判定手段310は、第1信号331と参照信号333の対応するビットの信号を入力して一致を判定する個別判定手段311をn個と、n個の個別判定手段311の各出力信号を入力してブロック判定結果信号335を出力する第2論理処理手段313を備える。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 2 1 0 8 2
受付番号	5 0 3 0 0 1 4 2 7 3 8
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 1 月 3 0 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月29日
-------	-------------

次頁無

特願 2 0 0 3 - 0 2 1 0 8 2

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社